

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-121713

(43)公開日 平成11年(1999)4月30日

(51)Int.Cl.⁶

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

6 2 1 B
6 5 1

審査請求 未請求 請求項の数19 O L (全 37 頁)

(21)出願番号 特願平9-280963

(22)出願日 平成9年(1997)10月14日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 中西 成彦

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 小林 伸好

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 大路 譲

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 筒井 大和

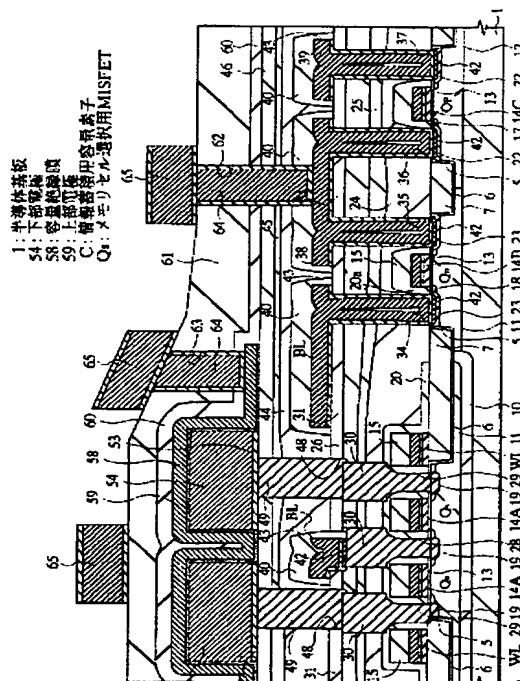
最終頁に続く

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(55)【要約】

【課題】 256 Mb i t DRAM以降のメモリセルのキャパシタの蓄積容量を確保する。

【解決手段】 半導体基板1の主面上に形成されたメモリセル選択用MISFETsに直列に接続され、下部電極54、容量絶縁膜58および上部電極59を備えた情報蓄積用容量素子Cで構成されるメモリセルを有するDRAMを含む半導体集積回路装置であって、下部電極54を二酸化ルテニウム(RuO₂)を主成分とする導電材から構成し、容量絶縁膜58を、結晶化された五酸化タンタル(Ta₂O₅)で構成する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 半導体基板の主面上に形成されたメモリセル選択用MISFETおよび前記メモリセル選択用MISFETに直列に接続され、下部電極、容量絶縁膜および上部電極を備えた情報蓄積用容量素子で構成されるメモリセルを有するDRAMを含む半導体集積回路装置であって、

前記下部電極は、二酸化ルテニウム(RuO_2)を主成分とする導電材からなり、前記容量絶縁膜は、結晶化された五酸化タンタル(Ta_2O_5)からなることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、

前記下部電極の表面粗さ(中心線平均粗さ: Ra)が、1 nm以下であることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、前記容量絶縁膜には炭素原子が含まれることを特徴とする半導体集積回路装置。

【請求項4】 請求項1～3の何れか一項に記載の半導体集積回路装置であって、

前記容量絶縁膜は、二層以上の結晶化された五酸化タンタル膜の積層膜であることを特徴とする半導体集積回路装置。

【請求項5】 請求項1～4の何れか一項に記載の半導体集積回路装置であって、

前記容量絶縁膜の膜厚は、5～15 nmの範囲内にあることを特徴とする半導体集積回路装置。

【請求項6】 請求項1～5の何れか一項に記載の半導体集積回路装置であって、

前記上部電極は、窒化チタン(TiN)、ルテニウム(Ru)、二酸化ルテニウム(RuO_2)、タングステン(W)または窒化タングステン(WN)から選択された単層膜またはそれらの積層膜であることを特徴とする半導体集積回路装置。

【請求項7】 請求項6記載の半導体集積回路装置であって、

前記上部電極は、前記容量絶縁膜に接して形成されたタングステン膜または窒化タングステン膜および前記タングステン膜または窒化タングステン膜に接して形成された窒化チタン膜の積層膜であることを特徴とする半導体集積回路装置。

【請求項8】 請求項1～7の何れか一項に記載の半導体集積回路装置であって、

前記メモリセル選択用MISFETのソース・ドレイン領域と前記下部電極とを接続するプラグは、二酸化ルテニウム(RuO_2)を主成分とする導電材で構成されていることを特徴とする半導体集積回路装置。

【請求項9】 請求項1～7の何れか一項に記載の半導体集積回路装置であって、

前記メモリセル選択用MISFETのソース・ドレイン領域および前記下部電極を接続するプラグと前記下部電極との間には、前記プラグの酸化を抑制するプロッキング膜が形成されていることを特徴とする半導体集積回路装置。

【請求項10】 請求項9記載の半導体集積回路装置であって、

前記プロッキング膜は、窒化チタン膜からなることを特徴とする半導体集積回路装置。

【請求項11】 半導体基板の主面上に形成されたメモリセル選択用MISFETおよび前記メモリセル選択用MISFETに直列に接続され、下部電極、容量絶縁膜および上部電極を備えた情報蓄積用容量素子で構成されるメモリセルを有するDRAMを含む半導体集積回路装置の製造方法であって、(a)前記メモリセル選択用MISFETおよび前記DRAMのビット線を形成した後、前記ビット線を覆う層間絶縁膜上に二酸化ルテニウム(RuO_2)膜を堆積し、前記二酸化ルテニウム膜をバーニングして前記下部電極を形成する工程、(b)前記下部電極上に非晶質の酸化タンタル膜を堆積した後、前記酸化タンタル膜を熱処理することにより結晶化し、結晶化された五酸化タンタル(Ta_2O_5)からなる前記容量絶縁膜を形成する工程、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項11記載の半導体集積回路装置の製造方法であって、

前記二酸化ルテニウム膜の堆積は、ターゲット材料として二酸化ルテニウム(RuO_2)を用いたスパッタ法により行われることを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項11記載の半導体集積回路装置の製造方法であって、

前記二酸化ルテニウム膜の堆積は、ターゲット材料としてルテニウム(Ru)を用い、酸素を含むガスを用いた反応性スパッタ法により行われることを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項11記載の半導体集積回路装置の製造方法であって、

前記二酸化ルテニウム膜の堆積は、有機ルテニウムガスと酸素とを含むガスを原料ガスとしたCVD法により行われることを特徴とする半導体集積回路装置の製造方法。

【請求項15】 請求項14記載の半導体集積回路装置の製造方法であって、

前記有機ルテニウムガスは、トリスジビパロイルメタナートルテニウム($\text{Ru}((\text{CH}_3)_3\text{CCOCHCOOC}(\text{CH}_3)_3)_3$)であることを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項11～15の何れか一項に記載

の半導体集積回路装置の製造方法であって、

前記酸化タンタル膜は、ベンタアルキルタンタル (Ta (C_nH_{2n+1})₅) および酸素 (O₂) を含むガスを原料ガスとし、500°C以下の減圧状態における熱CVD法により形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項11～16の何れか一項に記載の半導体集積回路装置の製造方法であって、

前記酸化タンタル膜の熱処理は、酸化性雰囲気において750°C、10分間のアニールを加えることにより行うものであることを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項11～16の何れか一項に記載の半導体集積回路装置の製造方法であって、

前記酸化タンタル膜の熱処理は、酸化性雰囲気において800°C、3分間のアニールを加えることにより行うものであることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項11～18の何れか一項に記載の半導体集積回路装置の製造方法であって、

前記容量絶縁膜の形成の後、窒化チタン (TiN)、ルテニウム (Ru)、二酸化ルテニウム (RuO₂)、タンゲステン (W) または窒化タンゲステン (WN) から選択された単層膜またはそれらの積層膜を堆積し、前記単層膜または積層膜をパターニングして前記上部電極を形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、DRAM (Dynamic Random Access Memory) の蓄積容量の増大に適用して有効な技術に関するものである。

【0002】

【従来の技術】DRAMのメモリセルは、半導体基板の主面上にマトリクス状に配置された複数のワード線と複数のビット線との交点に配置され、1個のメモリセル選択用MISFET (Metal Insulator Semiconductor Field Effect Transistor) とこれに直列に接続された1個の情報蓄積用容量素子 (キャパシタ) とで構成されている。メモリセル選択用MISFETは、周囲を素子分離領域で囲まれた活性領域に形成され、主としてゲート酸化膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一対の半導体領域で構成されている。ビット線は、メモリセル選択用MISFETの上部に配置され、その延長方向に隣接する2個のメモリセル選択用MISFETによって共有されるソース、ドレインの一方と電気的に接続されている。情報蓄積用容量素子は、同じくメモリセル選択用MISFETの上部に配置され、上記ソース、ドレインの他方と電気的に接

続されている。

【0003】特開平7-7084号公報は、ビット線の上部に情報蓄積用容量素子を配置するキャパシタ・オーバー・ビットライン (Capacitor Over Bitline) 構造のDRAMを開示している。この公報に記載されたDRAMは、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量 (Cs) の減少を補うために、ビット線の上部に配置した情報蓄積用容量素子の下部電極 (蓄積電極) を円筒状に加工することによってその表面積を増やし、その上部に容量絶縁膜と上部電極 (プレート電極) とを形成している。

【0004】また、特願昭62-198043号公報および特願昭63-10635号公報には、情報蓄積用容量素子の下部電極として多結晶シリコン膜を用い、多結晶シリコン膜のCVD法による成膜時に、その初期段階において下地の表面状態に依存して粒状シリコン多結晶が成長する現象、あるいは、多結晶シリコン膜のウェットエッチングが均一には進まず表面に凹凸が生じる現象を利用して下部電極表面に微少な凹凸を形成し、その表面積の増加を図り、蓄積容量の確保を図る技術が開示されている。

【0005】さらに、特開平8-167702号公報には、フィン形状を有する第1電極 (下部電極) と第2電極 (上部電極) とそれら第1および第2電極との間に形成された誘電物質とからなるキャパシタ (情報蓄積用容量素子) において、第1電極をルテニウム酸化物等からなる物質により構成し、誘電物質を五酸化タンタル等からなる物質により構成して、五酸化タンタル等の高い誘電率により蓄積容量を確保する技術が開示されている。

【0006】

【発明が解決しようとする課題】しかし、情報蓄積用容量素子の下部電極を円筒形状とし、その表面積を増加する特開平7-7084号公報記載の方法、あるいはその表面に微少な凹凸を形成してその表面積を増加する特願昭62-198043号公報または特願昭63-10635号公報記載の方法を用いたとしても、集積度向上の要求はメモリセル面積の更なる縮小を要求し、それに伴う蓄積容量値の確保が困難となる。このため、さらに下部電極の表面積を増大する必要があるが、円筒形状の高さの増加は、下部電極の機械的強度の確保の困難性、および、メモリセルアレイ領域と周辺回路領域との下部電極の高さに起因する段差の発生が問題となり自ずと限界が存在する。また、表面に微細な凹凸を形成する方法においてもシリコンの表面状態あるいは物性に依存し、やはり限界がある。

【0007】そこで、下部電極の形状的な対処による限界を克服する方策として、特開平8-167702号公報に記載されているように五酸化タンタル等の高誘電率材料を情報蓄積用容量素子のキャパシタ絶縁膜の用いる技術を検討する必要があるが、前記公報記載の技術では

キャバシタ絶縁膜としてシリコン酸化膜に換算した厚さ（換算膜厚）で2.5 nm以上の酸化タンタル膜を用いている。このようなキャバシタ絶縁膜では、依然として256 Mbit DRAM以降のメモリセルのキャバシタ容量を確保することは困難であり、下部電極の構造をフィン型等に複雑化して有効表面積を得なければならないという課題が残る。

【0008】また、酸化タンタル膜をキャバシタ絶縁膜に用いる場合には、下部電極の材料としてシリコン（多結晶シリコン膜）を用いることが困難である。すなわち、酸化タンタル膜の被膜形成中に酸素雰囲気に曝されたシリコンが酸化されて下部電極と酸化タンタル膜との界面に低誘電率のシリコン酸化膜が形成され、容量絶縁膜の実質的な膜厚を厚くし、また、容量絶縁膜の実質的な誘電率を低下させて蓄積電荷量を低下させてしまうためである。このため、特開平8-167702号公報には、上記低誘電率層の生成を防止できる下部電極の材料として、酸化ルテニウムが例示されている。

【0009】しかしながら、酸化ルテニウムの代表的な形成方法であるルテニウム（Ru）膜のスパッタ法による堆積とその後の酸素処理による酸化反応により形成した場合には、後に説明するように被膜表面に凹凸が形成され、キャバシタの信頼性を損なうという問題がある。

【0010】本発明の目的は、256 Mbit DRAM以降のメモリセルのキャバシタの蓄積容量を確保できる技術を提供することにある。

【0011】また、本発明の目的は、情報蓄積用容量素子の容量絶縁膜に酸化タンタル膜を用い、酸素雰囲気における熱処理を施しても実効的な容量絶縁膜の誘電率の低下および膜厚の増加を来すことがない技術を提供することにある。

【0012】また、本発明の目的は、情報蓄積用容量素子の下部電極表面を平坦化する技術を提供し、情報蓄積用容量素子の信頼性を向上することにある。

【0013】また、本発明の目的は、下部電極の形状を単純化し、その形成工程の簡略化を実現できる技術を提供することにある。

【0014】また、本発明の目的は、情報蓄積用容量素子の容量絶縁膜の絶縁性の向上、すなわちリーク電流の低減を図る技術を提供し、情報蓄積用容量素子の性能と信頼性の向上を図ることにある。

【0015】また、本発明の目的は、情報蓄積用容量素子の上部電極の材料を最適化し、信頼性の高い情報蓄積用容量素子を提供することにある。

【0016】また、本発明の目的は、情報蓄積用容量素子の蓄積電荷量を増加し、DRAMのリフレッシュマージンを増加して半導体集積回路装置の低電圧化、低電力化を図ることにある。

【0017】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかに

なるであろう。

【0018】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】本発明の半導体集積回路装置は、半導体基板の主面上に形成されたメモリセル選択用MISFETおよびメモリセル選択用MISFETに直列に接続され、下部電極、容量絶縁膜および上部電極を備えた情報蓄積用容量素子で構成されるメモリセルを有するDRAMを含む半導体集積回路装置であって、下部電極が二酸化ルテニウム（RuO₂）を主成分とする導電材からなり、容量絶縁膜が結晶化された五酸化タンタル（Ta₂O₅）からなるものである。

【0020】このような半導体集積回路装置によれば、下部電極が二酸化ルテニウムを主成分とする導電材からなるため、容量絶縁膜として酸素雰囲気で形成される五酸化タンタルを用いても、下部電極と容量絶縁膜との境界面にシリコン酸化膜等の低い誘電率の被膜が形成されず、容量絶縁膜の高い誘電率と実質的な膜厚増加の防止を図ることができる。さらに、後に説明する五酸化タンタル膜の熱処理、すなわち、容量絶縁膜である五酸化タンタル膜の結晶化を図るために酸化性雰囲気での五酸化タンタル膜の熱処理を施しても下部電極と容量絶縁膜との境界面にシリコン酸化膜等の低い誘電率の被膜が形成されない。なお、安定なルテニウムの酸化物は二酸化ルテニウム（RuO₂）に限られるため、どのような製造方法を用いても、安定に導電体である二酸化ルテニウム（RuO₂）が生成され、プロセスウィンドウを広くすることができるという効果もある。たとえば、窒化チタンを下部電極に用いた場合には窒化チタン膜と酸化タンタル膜との界面に酸化チタン膜が形成され、酸化チタン膜が導電性を示すものである場合には問題は生じないが、化学量論比によっては不導体となる場合もあり、このように界面生成物が不導体となる場合には容量絶縁膜の実質的な膜厚を増加し好ましくない。しかし、酸化ルテニウムを下部電極に用いる場合には、このような不具合は生じない。

【0021】また、本発明の半導体集積回路装置では、容量絶縁膜が結晶化された五酸化タンタル（Ta₂O₅）からなるため、非晶質な酸化タンタルの比誘電率（20～25）に比較してその比誘電率が40～50と高く、同一膜厚で形成した場合の情報蓄積用容量素子の蓄積容量を大幅に増加することができる。この結果、下部電極の構造をフィン型あるいは円筒型にすることなく、256 Mbit DRAMあるいは1 Gbit DRAMで必要な情報蓄積用容量素子の容量値を確保することができる。

【0022】また、本発明の半導体集積回路装置は、前記下部電極の表面粗さを中心線平均粗さ（Ra）で表し

た値で1nm以下とするものである。

【0023】このような半導体集積回路装置によれば、下部電極の表面の粗さが中心線平均粗さ(Ra)で表現した値で1nm以下となるため、たとえば容量絶縁膜の膜厚(う～15nm)に比較して十分な平坦性を確保できる。仮に下部電極の表面にたとえばRa=20nm程度の凹凸が存在する場合には、容量絶縁膜に好ましくない電界の集中や容量絶縁膜の膜厚の薄い部分が発生する可能性があり、耐電圧を低下させる要因となる可能性がある。しかし、本発明では下部電極の平坦性が確保できているためこのような不具合は発生しない。

【0024】なお、容量絶縁膜には炭素原子が含まれる。これは、後に説明するように容量絶縁膜である酸化タンタル膜は有機タンタルガスを用いてCVD法で形成されるため、不可避的に形成膜中に炭素原子が含まれるものである。ただし、リーク電流を低減するためには、炭素原子はできるだけ少ないことが好ましい。

【0025】また、前記半導体集積回路装置において、容量絶縁膜は二層以上の結晶化された五酸化タンタル膜の積層膜とすることができます。結晶化された五酸化タンタル膜は通常多結晶状態となり、多結晶薄膜においては粒界が存在する。このような粒界は、一般に不純物等の偏析、あるいは結晶構造の不完全性等により耐電圧が低下する可能性が高い。そこで本発明では、容量絶縁膜を二層以上の五酸化タンタル積層膜とし、一層に粒界があつても他の層で粒界によるリーク経路を遮断し、耐電圧を向上することができる。

【0026】また、前記半導体集積回路装置において、容量絶縁膜の膜厚は、5～15nmの範囲内とすることができる。これにより、ある程度の膜厚を確保して耐電圧を確保し、かつ、十分に薄い換算膜厚(シリコン酸化膜に換算した場合の膜厚)を確保することができる。

【0027】また、本発明の半導体集積回路装置は、前記上部電極を、窒化チタン(TiN)、ルテニウム(Ru)、二酸化ルテニウム(RuO₂)、タングステン(W)または窒化タングステン(WN)から選択された単層膜またはそれらの積層膜とするものである。

【0028】このような半導体集積回路装置によれば、上部電極の材料を最適化して情報蓄積用容量素子の信頼性を向上することができる。すなわち、ルテニウム(Ru)、タングステン(W)は、タンタル(Ta)よりも酸化され難いため、容量絶縁膜である酸化タンタルと直接接触していても、酸化タンタル膜中の酸素を引き抜いてルテニウムあるいはタングステンが酸化されがない。このため、ルテニウムあるいはタングステン(それらの酸化物もしくは窒化物を含む)を上部電極に用いた場合には酸化タンタルの化学量論比が長期間に渡って安定に保たれ、また、熱的にも安定となる。この結果、情報蓄積用容量素子の信頼性を向上することとなる。

【0029】一方、COB構造の下部電極は立体的に形

成されるため、上部電極を構成する被膜の段差被覆性および段差埋め込み性は良好であることが好ましい。窒化チタン(TiN)は、無機あるいは有機化合物を原料ガスとしてCVD法により形成することができるため、段差被覆性および段差埋め込み性に優れている。このため、窒化チタン(TiN)を上部電極に用いた場合には良好に被覆されかつ埋め込まれた上部電極を形成することが可能である。仮に段差被覆性あるいは段差埋め込み性の悪い被膜で上部電極を構成した場合には、下部電極の形状により形成された凹部にボイドが形成され、このボイドに起因した情報蓄積用容量素子の信頼性の低下が発生する可能性があるが、上部電極にCVD法による窒化チタン膜を用いた場合ではこのような不具合は発生しない。

【0030】なお、前記上部電極は、容量絶縁膜に接して形成されたタングステン膜およびタングステン膜に接して形成された窒化チタン膜の積層膜とすることができます。このような場合には、前記した熱的な安定性と、ボイドの発生を防止する効果をともに得ることができる。

【0031】また、本発明の半導体集積回路装置は、前記した半導体集積回路装置であって、メモリセル選択用MISFETのソース・ドレイン領域と下部電極とを接続するプラグが、二酸化ルテニウム(RuO₂)を主成分とする導電材で構成されているものである。

【0032】また、本発明の半導体集積回路装置は、前記した半導体集積回路装置であって、メモリセル選択用MISFETのソース・ドレイン領域と下部電極とを接続するプラグ、および下部電極の間には、プラグの酸化を抑制するブロッキング膜が形成されているものである。

【0033】このような半導体集積回路装置によれば、容量絶縁膜の形成の際の酸化性雰囲気のにおける熱処理により、メモリセル選択用MISFETのソース・ドレイン領域と下部電極とを接続する部分にシリコン酸化膜等の不導体の生成を防止することができる。すなわち、プラグに二酸化ルテニウム(RuO₂)を主成分とする導電材を用いるためシリコン酸化膜が形成されなくな、また、プラグに多結晶シリコンを用いたとしてもプラグと下部電極との間に酸化を抑制するブロッキング膜を形成するためプラグが酸化されてシリコン酸化膜が生成されることがない。この結果、メモリセル選択用MISFETのソース・ドレイン領域と下部電極との接続は確実に行われ、半導体集積回路装置の信頼性を向上することができる。

【0034】なお、ブロッキング膜としては、窒化チタン膜を例示できる。

【0035】本発明の半導体集積回路装置の製造方法は、半導体基板の主面上に形成されたメモリセル選択用MISFETおよびメモリセル選択用MISFETに直列に接続され、下部電極、容量絶縁膜および上部電極を

備えた情報蓄積用容量素子で構成されるメモリセルを有するDRAMを含む半導体集積回路装置の製造方法であって、(a)メモリセル選択用MISFETおよびDRAMのビット線を形成した後、ビット線を覆う層間絶縁膜上に二酸化ルテニウム(RuO_2)膜を堆積し、二酸化ルテニウム膜をバーニングして下部電極を形成する工程、(b)下部電極上に非晶質の酸化タンタル膜を堆積した後、酸化タンタル膜を熱処理することにより結晶化し、結晶化された五酸化タンタル(Ta_2O_5)からなる容量絶縁膜を形成する工程、を有するものである。

【0036】このような半導体集積回路装置の製造方法によれば、前記した半導体集積回路装置を製造することができる。なお、(a)工程において二酸化ルテニウム膜をバーニングして下部電極を形成するため、下部電極の構造を単純化し、工程を簡略化することが可能である。また、(b)工程において、非晶質の酸化タンタル膜を堆積した後、酸化タンタル膜を熱処理することにより結晶化するため、容量絶縁膜となる酸化タンタル膜の誘電率を高め、情報蓄積用容量素子の蓄積容量を増加することが可能である。

【0037】なお、二酸化ルテニウム膜の堆積は、ターゲット材料として二酸化ルテニウム(RuO_2)を用いたスパッタ法により行うことができる。このようにあらかじめルテニウムの酸化物である二酸化ルテニウム(RuO_2)を出発材料としてスパッタ法により被膜を堆積するため、ルテニウム(Ru)を堆積した後に酸化処理を行って二酸化ルテニウムを形成する場合の表面粗さ($\text{Ra}=\text{約}20\text{nm}$)と比較して著しく平坦な被膜($\text{Ra}=1\text{nm}$ 以下)を堆積することが可能である。これにより情報蓄積用容量素子の信頼性を向上できる。

【0038】また、二酸化ルテニウム膜の堆積は、ターゲット材料としてルテニウム(Ru)を用い、酸素を含むガスを用いた反応性スパッタ法により行うことができる。このようにターゲット材料としてルテニウム(Ru)を用い、酸素を含むガスを用いた反応性スパッタ法を用いることにより、前記と同様に平坦な被膜($\text{Ra}=1\text{nm}$ 以下)を堆積することができ、情報蓄積用容量素子の信頼性を向上できる。

【0039】また、二酸化ルテニウム膜の堆積は、有機ルテニウムガスと酸素とを含むガスを原料ガスとしたCVD法により行うことができる。このように有機ルテニウムガスと酸素とを含むガスを原料ガスとしてCVD法によりワンプロセスで二酸化ルテニウム膜を堆積するため、前記と同様に平坦な被膜($\text{Ra}=1\text{nm}$ 以下)を堆積することができ、情報蓄積用容量素子の信頼性を向上できる。なお、有機ルテニウムガスとしては、たとえばトリスジビパロイルメタナートルテニウム($\text{Ru}((\text{C}_6\text{H}_5)_3\text{CCOCHCOC}(\text{CH}_3)_3)_3$)を例示できる。

【0040】また、酸化タンタル膜は、ペンタアルキル

タンタル($\text{Ta}(\text{C}_n\text{H}_{2n+1})_5$)および酸素(O_2)を含むガスを原料ガスとし、500°C以下の減圧状態における熱CVD法により形成することができる。このようにペンタアルキルタンタル($\text{Ta}(\text{C}_n\text{H}_{2n+1})_5$)および酸素(O_2)を含むガスを原料ガスとし、500°C以下の減圧状態における熱CVD法により形成するため、容量絶縁膜の段差被覆性を向上することができる。

【0041】なお、nの値としては1ないし2が妥当である。このようにnの値を低く選択することにより成膜後の酸化タンタル膜に含まれる炭素量を減少させることができる。

【0042】また、酸化タンタル膜の熱処理は、酸化性雰囲気において750°C、10分間のアニールを加えることにより行うことができる。あるいは、酸化性雰囲気において800°C、3分間のアニールを加えることにより行うことができる。酸化タンタル膜の熱処理を、酸化性雰囲気において800°C、3分間のアニールを加えることにより行う場合には、核発生密度を増加して酸化タンタル結晶の粒径を小さくし、より緻密な容量絶縁膜あるいは膜厚均一性の高い被膜を形成して情報蓄積用容量素子の耐電圧を向上することができる。

【0043】また、本発明の半導体集積回路装置の製造方法は、前記製造方法の工程に加えて、窒化チタン(TiN)、ルテニウム(Ru)、二酸化ルテニウム(RuO_2)、タンクステン(W)または窒化タンクステン(WN)から選択された単層膜またはそれらの積層膜を堆積し、単層膜または積層膜をバーニングして上部電極を形成する工程を含むものである。

【0044】このような半導体集積回路装置の製造方法によれば、前記した上部電極を備えた半導体集積回路装置を製造することができる。

【0045】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0046】(実施の形態1)図1は、本実施の形態のDRAMを形成した半導体チップの全体平面図である。図示のように、単結晶シリコンからなる半導体チップ1Aの正面には、X方向(半導体チップ1Aの長辺方向)およびY方向(半導体チップ1Aの短辺方向)に沿って多数のメモリアレイMARYがマトリクス状に配置されている。X方向に沿って互いに隣接するメモリアレイMARYの間にはセンサアンプSAが配置されている。半導体チップ1Aの正面の中央部には、ワードドライバWD、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている。

【0047】図2は、本実施の形態のDRAMの等価回路図である。図示のように、このDRAMのメモリアレ

イ(MARY)は、マトリクス状に配置された複数のワード線WL(WL_{n-1}、WL_n、WL_{n+1}...)と複数のビット線BLおよびそれらの交点に配置された複数のメモリセル(MC)により構成されている。1ビットの情報を記憶する1個のメモリセルは、1個の情報蓄積用容量素子Cとこれに直列に接続された1個のメモリセル選択用MISFETQsとで構成されている。メモリセル選択用MISFETQsのソース、ドレインの一方は、情報蓄積用容量素子Cと電気的に接続され、他方はビット線BLと電気的に接続されている。ワード線WLの一端は、ワードドライバWDに接続され、ビット線BLの一端は、センスアンプSAに接続されている。

【0048】次に、本実施の形態のDRAMの製造方法を図3～図37を用いて工程順に説明する。図3～図37は、本実施の形態のDRAMの製造工程の一例を工程順に示した断面図である。

【0049】まず、図3に示すように、p型で比抵抗が10Ωcm程度の半導体基板1を850°C程度でウェット酸化してその表面に膜厚10nm程度の薄い酸化シリコン膜2を形成した後、この酸化シリコン膜2の上部にCVD(Chemical Vapor Deposition)法で膜厚140nm程度の塗化シリコン膜3を堆積する。酸化シリコン膜2は、後の工程で素子分離溝の内部に埋め込まれる酸化シリコン膜をシンタリング(焼き締め)するときなどに基板に加わるストレスを緩和するために形成される。塗化シリコン膜3は酸化されにくい性質を持つので、その下部(活性領域)の基板表面の酸化を防止するマスクとして利用される。

【0050】次に、図4に示すように、フォトレジスト膜4をマスクにして塗化シリコン膜3、酸化シリコン膜2および半導体基板1をドライエッティングすることにより、素子分離領域の半導体基板1に深さ300～400nm程度の溝5aを形成する。溝5aを形成するには、フォトレジスト膜4をマスクにして塗化シリコン膜3をドライエッティングし、次いでフォトレジスト膜4を除去した後、塗化シリコン膜3をマスクにして酸化シリコン膜2および半導体基板1をドライエッティングしてもよい。

【0051】次に、フォトレジスト膜4を除去した後、図5に示すように、前記のエッティングによって溝5aの内壁に生じたダメージ層を除去するために、半導体基板1を850～900°C程度でウェット酸化して溝5aの内壁に膜厚10nm程度の薄い酸化シリコン膜6を形成する。

【0052】次に、図6に示すように、半導体基板1上に膜厚300～400nm程度の酸化シリコン膜7を堆積した後、半導体基板1を1000°C程度でドライ酸化することにより、溝5aに埋め込まれた酸化シリコン膜7の膜質を改善するためのシンタリング(焼き締め)を行う。酸化シリコン膜7は、例えばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いた

プラズマCVD法で堆積する。

【0053】次に、図7に示すように、酸化シリコン膜7の上部にCVD法で膜厚140nm程度の塗化シリコン膜8を堆積した後、図8に示すように、フォトレジスト膜9をマスクにして塗化シリコン膜8をドライエッティングすることにより、メモリアレイと周辺回路との境界部のような相対的に広い面積の溝5aの上部のみに塗化シリコン膜8を残す。溝5aの上部に残った塗化シリコン膜8は、次の工程で酸化シリコン膜7をCMP法で研磨して平坦化する際に、相対的に広い面積の溝5aの内部の酸化シリコン膜7が相対的に狭い面積の溝5aの内部の酸化シリコン膜7に比べて深く研磨される現象(ディッシング;dishing)を防止するために形成される。

【0054】次に、フォトレジスト膜9を除去した後、図9に示すように、塗化シリコン膜3、8をストップに用いたCMP法で酸化シリコン膜7を研磨して溝5aの内部に残すことにより、素子分離溝5を形成する。

【0055】次に、熱リン酸を用いたウェットエッティングで塗化シリコン膜3、8を除去した後、図10に示すように、メモリセルを形成する領域(メモリアレイ)の半導体基板1にn型不純物、例えばP(リン)をイオン打ち込みしてn型半導体領域10を形成し、メモリアレイと周辺回路の一部(nチャネル型MISFETを形成する領域)にp型不純物、例えばB(ホウ素)をイオン打ち込みしてp型ウエル11を形成し、周辺回路の他の一部(pチャネル型MISFETを形成する領域)にn型不純物、例えばP(リン)をイオン打ち込みしてn型ウエル12を形成する。また、このイオン打ち込みに続いて、MISFETのしきい値電圧を調整するための不純物、例えばBF₂(フッ化ホウ素)をp型ウエル11およびn型ウエル12にイオン打ち込みする。n型半導体領域10は、入出力回路などから半導体基板1を通じてメモリアレイのp型ウエル11にノイズが侵入するのを防止するために形成される。

【0056】次に、p型ウエル11およびn型ウエル12の各表面の酸化シリコン膜2をHF(フッ酸)系の洗浄液を使って除去した後、半導体基板1を850°C程度でウェット酸化してp型ウエル11およびn型ウエル12の各表面に膜厚7nm程度の清浄なゲート酸化膜13を形成する。

【0057】特に限定はされないが、上記ゲート酸化膜13を形成した後、半導体基板1をNO(酸化窒素)雰囲気中またはN₂O(亜酸化窒素)雰囲気中で熱処理することによって、ゲート酸化膜13と半導体基板1との界面に窒素を偏析させてもよい(酸窒化処理)。ゲート酸化膜13が7nm程度まで薄くなると、半導体基板1との熱膨張係数差に起因して両者の界面に生じる歪みが顕在化し、ホットキャリアの発生を誘発する。半導体基板1との界面に偏析した窒素はこの歪みを緩和するので、上記の酸窒化処理は、極めて薄いゲート酸化膜13の信

頗性を向上できる。

【0058】次に、図11に示すように、ゲート酸化膜13の上部にゲート電極14A、14B、14Cを形成する。ゲート電極14Aは、メモリセル選択用MISFETの一部を構成し、活性領域以外の領域ではワード線WLとして使用される。このゲート電極14A(ワード線WL)の幅、すなわちゲート長は、メモリセル選択用MISFETの短チャネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の最小寸法(例えば0.24μm程度)で構成される。また、隣接するゲート電極14A(ワード線WL)同士の間隔は、フォトリソグラフィの解像限界で決まる最小寸法(例えば0.22μm)で構成される。ゲート電極14Bおよびゲート電極14Cは、周辺回路のnチャネル型MISFETおよびpチャネル型MISFETの各一部を構成する。

【0059】ゲート電極14A(ワード線WL)およびゲート電極14B、14Cは、例えばP(リン)などのn型不純物がドープされた膜厚70nm程度の多結晶シリコン膜を半導体基板1上にCVD法で堆積し、次いでその上部に膜厚50nm程度のWN(タンクスチニティライド)膜と膜厚100nm程度のW膜とをスパッタリング法で堆積し、さらにその上部に膜厚150nm程度の塗化シリコン膜15をCVD法で堆積した後、フォトレジスト膜16をマスクにしてこれらの膜をパターニングすることにより形成する。WN膜は、高温熱処理時にW膜と多結晶シリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。バリア層は、WN膜の他、TiN(チタンナイトライド)膜などを使用することもできる。

【0060】ゲート電極14A(ワード線WL)の一部を低抵抗の金属(W)で構成した場合には、そのシート抵抗を2~2.5Ω/□程度にまで低減できるので、ワード線遅延を低減することができる。また、ゲート電極14(ワード線WL)をA1配線などで裏打ちしなくともワード線遅延を低減できるので、メモリセルの上部に形成される配線層の数を1層減らすことができる。

【0061】次に、フォトレジスト膜16を除去した後、フッ酸などのエッティング液を使って、半導体基板1の表面に残ったドライエッティング残渣やフォトレジスト残渣などを除去する。このウェットエッティングを行うと、ゲート電極14A(ワード線WL)およびゲート電極14B、14Cの下部以外の領域のゲート酸化膜13が削られると同時に、ゲート側壁下部のゲート酸化膜13も等方的にエッティングされてアンダーカットが生じるため、そのままではゲート酸化膜13の耐圧が低下する。そこで、半導体基板1を900°C程度でウェット酸化することによって、削れたゲート酸化膜13の膜質を改善する。

【0062】次に、図12に示すように、n型ウエル12にp型不純物、例えばB(ホウ素)をイオン打ち込み

してゲート電極14Cの両側のn型ウエル12にp+型半導体領域17を形成する。また、p型ウエル11にn型不純物、例えばP(リン)をイオン打ち込みしてゲート電極14Bの両側のp型ウエル11にn+型半導体領域18を形成し、ゲート電極14Aの両側のp型ウエル11にn型半導体領域19を形成する。これにより、メモリアレイにメモリセル選択用MISFETQsが形成される。

【0063】次に、図13に示すように、半導体基板1上にCVD法で膜厚50~100nm程度の塗化シリコン膜20を堆積した後、図14に示すように、メモリアレイの塗化シリコン膜20をフォトレジスト膜21で覆い、周辺回路の塗化シリコン膜20を異方性エッティングすることにより、ゲート電極14B、14Cの側壁にサイドウォールスペーサ20aを形成する。このエッティングは、ゲート酸化膜13や素子分離溝らに埋め込まれた酸化シリコン膜7の削れ量を最少とするために、酸化シリコン膜に対する塗化シリコン膜20のエッティングレートが大きくなるようなエッティングガスを使用して行う。また、ゲート電極14B、14C上の塗化シリコン膜15の削れ量を最少とするために、オーバーエッティング量を必要最小限にとどめるようとする。

【0064】次に、フォトレジスト膜21を除去した後、図15に示すように、周辺回路領域のn型ウエル12にp型不純物、例えばB(ホウ素)をイオン打ち込みしてpチャネル型MISFETのp+型半導体領域22(ソース、ドレイン)を形成し、周辺回路領域のp型ウエル11にn型不純物、例えばAs(ヒ素)をイオン打ち込みしてnチャネル型MISFETのn+型半導体領域23(ソース、ドレイン)を形成する。これにより、周辺回路領域にLDD(Lightly Doped Drain)構造を備えたpチャネル型MISFETQpおよびnチャネル型MISFETQnが形成される。

【0065】次に、図16に示すように、半導体基板1上に膜厚300nm程度のSOG(スピンドルグラス)膜24をスピンドル塗布した後、半導体基板1を800°C、1分程度熱処理してSOG膜24をシンタリング(焼き締め)する。

【0066】次に、図17に示すように、SOG膜24の上部に膜厚600nm程度の酸化シリコン膜25を堆積した後、この酸化シリコン膜25をCMP法で研磨してその表面を平坦化する。酸化シリコン膜25は、例えばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。

【0067】このように、本実施の形態では、ゲート電極14A(ワード線WL)およびゲート電極14B、14Cの上部にリフロー性が高いSOG膜24を塗布し、さらにその上部に堆積した酸化シリコン膜25をCMP法で平坦化する。これにより、ゲート電極14A(ワード線WL)同士の微細な隙間のギャップフィル性が向上

すると共に、ゲート電極14A（ワード線WL）およびゲート電極14B、14Cの上部の絶縁膜の平坦化を実現することができる。

【0068】次に、図18に示すように、酸化シリコン膜24の上部に膜厚10.0nm程度の酸化シリコン膜26を堆積する。この酸化シリコン膜26は、CMP法で研磨されたときに生じた前記酸化シリコン膜25の表面の微細な傷を補修するために堆積する。酸化シリコン膜26は、例えばオゾン（O₃）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。酸化シリコン膜25の上部には、上記酸化シリコン膜26に代えてPSG（Phospho Silicate Glass）膜などを堆積してもよい。

【0069】次に、図19に示すように、フォトレジスト膜27をマスクにしたドライエッチングでメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）の上部の酸化シリコン膜26、25およびSOG膜24を除去する。このエッチングは、窒化シリコン膜20に対する酸化シリコン膜26、25およびSOG膜24のエッチングレートが大きくなるような条件で行い、n型半導体領域19や素子分離溝5の上部を覆っている窒化シリコン膜20が完全には除去されないようにする。

【0070】なお、図19における酸化シリコン膜26およびレジスト膜27の表面は、図18に示すような周辺回路領域における酸化シリコン膜25表面に沿って落ち込み（段差）形状を成している。図19はその形状を省略している。

【0071】統いて、図20に示すように、上記フォトレジスト膜27をマスクにしたドライエッチングでメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）の上部の窒化シリコン膜20とゲート酸化膜13とを除去することにより、n型半導体領域19（ソース、ドレイン）の一方の上部にコンタクトホール28を形成し、他方の上部にコンタクトホール29を形成する。

【0072】このエッチングは、酸化シリコン膜（ゲート酸化膜13および素子分離溝5内の酸化シリコン膜7）に対する窒化シリコン膜15のエッチングレートが大きくなるような条件で行い、n型半導体領域19や素子分離溝5が深く削れないようにする。また、このエッチングは、窒化シリコン膜20が異方的にエッチングされるような条件で行い、ゲート電極14A（ワード線WL）の側壁に窒化シリコン膜20が残るようにする。これにより、フォトリソグラフィの解像限界以下の微細な径を有するコンタクトホール28、29がゲート電極14A（ワード線WL）に対して自己整合で形成される。コンタクトホール28、29をゲート電極14A（ワード線WL）に対して自己整合で形成するには、あらかじめ窒化シリコン膜20を異方性エッチングしてゲート電

極14A（ワード線WL）の側壁にサイドウォールスペーサを形成しておいてもよい。

【0073】次に、フォトレジスト膜27を除去した後、フッ酸+フッ化アンモニウム混液などのエッティング液を使って、コンタクトホール28、29の底部に露出した基板表面のドライエッチング残渣やフォトレジスト残渣などを除去する。その際、コンタクトホール28、29の側壁に露出したSOG膜24もエッティング液に曝されるが、SOG膜24は、前述した800°C程度のシンタリングによってフッ酸系のエッティング液に対するエッチングレートが低減されているので、このウェットエッティング処理によってコンタクトホール28、29の側壁が大きくアンダーカットされることはない。これにより、次の工程でコンタクトホール28、29の内部に埋め込まれるプラグ同士のショートを確実に防止することができる。

【0074】次に、図21に示すように、コンタクトホール28、29の内部にプラグ30を形成する。プラグ30は、酸化シリコン膜26の上部にn型不純物（例えばP（リン））をドープした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨してコンタクトホール28、29の内部に残すことにより形成する。

【0075】次に、図22に示すように、酸化シリコン膜26の上部に膜厚20.0nm程度の酸化シリコン膜31を堆積した後、半導体基板1を800°C程度で熱処理する。酸化シリコン膜31は、例えばオゾン（O₃）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。この熱処理によって、プラグ30を構成する多結晶シリコン膜中のn型不純物がコンタクトホール28、29の底部からメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）に拡散し、n型半導体領域19が低抵抗化される。

【0076】次に、図23に示すように、フォトレジスト膜32をマスクにしたドライエッチングで前記コンタクトホール28の上部の酸化シリコン膜31を除去してプラグ30の表面を露出させる。次に、フォトレジスト膜32を除去した後、図24に示すように、フォトレジスト膜33をマスクにしたドライエッチングで周辺回路領域の酸化シリコン膜31、26、25、SOG膜24およびゲート酸化膜13を除去することにより、nチャネル型MISFETQnのn⁺型半導体領域23（ソース、ドレイン）の上部にコンタクトホール34、35を形成し、pチャネル型MISFETQpのp⁺型半導体領域22（ソース、ドレイン）の上部にコンタクトホール36、37を形成する。

【0077】次に、フォトレジスト膜33を除去した後、図25に示すように、酸化シリコン膜31の上部にビット線BLおよび周辺回路の第1層配線38、39を

形成する。ビット線B Lおよび第1層配線38、39を形成するには、まず酸化シリコン膜31の上部に膜厚50nm程度のTi膜をスパッタリング法で堆積し、半導体基板1を800°C程度で熱処理する。次いで、Ti膜の上部に膜厚50nm程度のTiN膜をスパッタリング法で堆積し、さらにその上部に膜厚150nm程度のW膜と膜厚200nm程度の塗化シリコン膜40とをCVD法で堆積した後、フォトレジスト膜41をマスクにしてこれらの膜をパターニングする。

【0078】酸化シリコン膜31の上部にTi膜を堆積した後、半導体基板1を800°C程度で熱処理することにより、Ti膜と下地Siとが反応し、nチャネル型MISFETQnのn+型半導体領域23（ソース、ドレイン）の表面とpチャネル型MISFETQpのp+型半導体領域22（ソース、ドレイン）の表面とプラグ30の表面とに低抵抗のTiSi₂（チタンシリサイド）層42が形成される。これにより、n+型半導体領域23、p+型半導体領域22およびプラグ30に接続される配線（ビット線B L、第1層配線38、39）のコンタクト抵抗を低減することができる。また、ビット線B LをW膜、TiN膜、Ti膜で構成することにより、そのシート抵抗を2Ω/□以下にまで低減できるので、情報の読み出し速度および書き込み速度を向上させることができると共に、ビット線B Lと周辺回路の第1層配線38、39とを一つの工程で同時に形成することができる。DRAMの製造工程を短縮することができる。さらに、周辺回路の第1層配線（38、39）をビット線B Lと同層の配線で構成した場合には、第1層配線をメモリセルの上層のA1配線で構成する場合に比べて周辺回路のMISFET（nチャネル型MISFETQn、pチャネル型MISFETQp）と第1層配線とを接続するコンタクトホール（34～37）のアスペクト比が低減されるため、第1層配線の接続信頼性が向上する。

【0079】ビット線B Lは、隣接するビット線B Lとの間に形成される寄生容量をできるだけ低減して情報の読み出し速度および書き込み速度を向上させるために、その間隔がその幅よりも長くなるように形成する。ビット線B Lの間隔は例えば0.24μm程度とし、その幅は例えば0.22μm程度とする。

【0080】次に、フォトレジスト膜41を除去した後、図26に示すように、ビット線B Lの側壁と第1層配線38、39の側壁とにサイドウォールスペーサ43を形成する。サイドウォールスペーサ43は、ビット線B Lおよび第1層配線38、39の上部にCVD法で塗化シリコン膜を堆積した後、この塗化シリコン膜を異方性エッティングして形成する。

【0081】次に、図27に示すように、ビット線B Lおよび第1層配線38、39の上部に膜厚300nm程度のSOG膜44をスピンドル塗布する。次いで、半導体基板

1を800°C、1分程度熱処理してSOG膜44をシタリング（焼き締め）する。

【0082】SOG膜44は、BPSG膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、フォトリソグラフィの解像限界程度まで微細化されたビット線B L同士の隙間を良好に埋め込むことができる。また、SOG膜44は、BPSG膜で必要とされる高温、長時間の熱処理を行わなくとも高いリフロー性が得られるため、ビット線B Lの下層に形成されたメモリセル選択用MISFETQsのソース、ドレインや周辺回路のMISFET（nチャネル型MISFETQn、pチャネル型MISFETQp）のソース、ドレインに含まれる不純物の熱拡散を抑制して浅接合化を図ることができる。さらに、ゲート電極14A（ワード線WL）およびゲート電極14B、14Cを構成するメタル（W膜）の劣化を抑制できるので、DRAMのメモリセルおよび周辺回路を構成するMISFETの高性能化を実現することができる。また、ビット線B Lおよび第1層配線38、39を構成するTi膜、TiN膜、W膜の劣化を抑制して配線抵抗の低減を図ることができる。

【0083】次に、図28に示すように、SOG膜44の上部に膜厚600nm程度の酸化シリコン膜45を堆積した後、この酸化シリコン膜45をCMP法で研磨してその表面を平坦化する。酸化シリコン膜45は、例えばオゾン（O₃）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。

【0084】このように、本実施の形態では、ビット線B Lおよび第1層配線38、39の上部に成膜直後でも平坦性が良好なSOG膜44を塗布し、さらにその上部に堆積した酸化シリコン膜45をCMP法で平坦化する。これにより、ビット線B L同士の微細な隙間のギャップフィル性が向上すると共に、ビット線B Lおよび第1層配線38、39の上部の絶縁膜の平坦化を実現することができる。また、高温・長時間の熱処理を行わないため、メモリセルおよび周辺回路を構成するMISFETの特性劣化を防止して高性能化を実現することができると共に、ビット線B Lおよび第1層配線38、39の低抵抗化を図ることができる。

【0085】次に、図29に示すように、酸化シリコン膜45の上部に膜厚100nm程度の酸化シリコン膜46を堆積する。この酸化シリコン膜46は、CMP法で研磨されたときに生じた前記酸化シリコン膜45の表面の微細な傷を補修するために堆積する。酸化シリコン膜46は、例えばオゾン（O₃）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。

【0086】次に、図30に示すように、フォトレジスト膜47をマスクにしたドライエッティングでコンタクトホール29の上部の酸化シリコン膜46、45、SOG

膜44および酸化シリコン膜31を除去してプラグ30の表面に達するスルーホール48を形成する。このエッチングは、酸化シリコン膜46、45、31およびSOG膜44に対する塗化シリコン膜のエッチングレートが小さくなるような条件で行い、スルーホール48とビット線BLの合わせずれが生じた場合でも、ビット線BLの上部の塗化シリコン膜40やサイドウォールスペーサー43が深く削れないようにする。これにより、スルーホール48がビット線BLに対して自己整合で形成される。

【0087】次に、フォトレジスト膜47を除去した後、フッ酸+フッ化アンモニウム混液などのエッチング液を使って、スルーホール48の底部に露出したプラグ30の表面のドライエッチング残渣やフォトレジスト残渣などを除去する。その際、スルーホール48の側壁に露出したSOG膜44もエッチング液に曝されるが、SOG膜44は、前記800°C程度のシントリングによってフッ酸系のエッチング液に対するエッチングレートが低減されているので、このウェットエッチング処理によってスルーホール48の側壁が大きくアンダーカットされることはない。これにより、次の工程でスルーホール48の内部に埋め込まれるプラグとビット線BLとのショートを確実に防止することができる。また、プラグとビット線BLとを十分に離間させることができるので、ビット線BLの寄生容量の増加を抑制することができる。

【0088】次に、図31に示すように、スルーホール48の内部にプラグ49を形成する。プラグ49は、酸化シリコン膜46の上部にn型不純物（例えばP（リン））をドープした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール48の内部に残すことにより形成する。

【0089】次に、図32に示すように、プラグ49および酸化シリコン膜46の上部に塗化チタン膜50および二酸化ルテニウム（RuO₂）膜51を堆積する。塗化チタン膜50および二酸化ルテニウム膜51は、後にブロッキング層および下部電極となるものである。塗化チタン膜50の膜厚は数nm～50nm程度とすることができる。また、二酸化ルテニウム膜51の膜厚は、たとえば0.5μmとすることができる。ただし、この0.5μmという値は、後に説明する下部電極の高さを規定するものであり、下部電極の面積をなわち確保しようとする容量値により調整することができる。

【0090】塗化チタン膜50は、スパッタ法あるいはCVD法により形成することができる。

【0091】二酸化ルテニウム膜51は、二酸化ルテニウム（RuO₂）をターゲットとするスパッタ法により堆積することができる。このように金属ルテニウムをターゲットするルテニウム（Ru）膜を堆積した後にそれを酸化処理して酸化ルテニウム膜を形成する方法ではな

く、二酸化ルテニウム（RuO₂）を出発材料として二酸化ルテニウム膜51を堆積することにより、図38（b）に示すようにその表面を平坦化することができる。このような二酸化ルテニウム膜51の製造方法によりその表面の表面粗さを中心線平均粗さ（Ra）で表した値で1nm以下にすることが可能である。この結果、後に説明する下部電極の表面粗さ（Ra）を1nm以下に低減して平坦性を向上し、容量絶縁膜の耐電圧を向上して情報蓄積用容量素子の信頼性を向上することができる。

【0092】図38は、本発明者らの実験検討により得られた二酸化ルテニウム膜の表面状態を示した電子顕微鏡写真であり、（a）は、ルテニウム金属膜を堆積した後に酸化処理を行って得られた二酸化ルテニウム膜の表面を示し、（b）は、本実施の形態の方法つまり二酸化ルテニウム（RuO₂）を出発材料としてスパッタ法により堆積した二酸化ルテニウム膜の表面を示す。（b）のスパッタ法の堆積条件は、DC電源電力0.6kW、反応圧力0.5Pa、酸素分圧0.4Pa、アルゴン分圧0.1Paである。ルテニウム金属膜を堆積した後に酸化処理を行って得られた二酸化ルテニウム膜の表面は、図38（a）に示すようにその表面粗さが、中心線平均粗さ（Ra）で表した値で20nm以上となり、本実施の形態と比較して凹凸が著しい。

【0093】なお、二酸化ルテニウムをターゲット材料とするスパッタ法により二酸化ルテニウム膜51を堆積する際には、その雰囲気を酸化性、たとえば酸素ガスを含むスパッタリングとすることができる。これにより二酸化ルテニウム膜51の酸素欠陥を低減することが可能である。また、酸化性雰囲気でのスパッタリングにより、多結晶シリコン膜からなるプラグ49の表面酸化により絶縁体である酸化シリコンの形成が問題となるが、本実施の形態では塗化チタン膜50が形成されているため、プラグ49の酸化を防止することができる。この結果、プラグ49と情報蓄積用容量素子の下部電極との界面における電気的接続の信頼性を向上することができる。

【0094】なお、スパッタ法としては、DC（Direct Current）またはRF（Radio Frequency）スパッタ法が例示できる。

【0095】次に、図33に示すように、二酸化ルテニウム膜51上にフォトレジスト膜52を形成し、このフォトレジスト膜52をマスクとして二酸化ルテニウム膜51および塗化チタン膜50をたとえばRIE（Reactive Ion Etching）法を用いてエッチングし、除去する。このようにして塗化チタン膜50からなるブロッキング層53および二酸化ルテニウム膜51からなる下部電極54を形成する。ブロッキング層53は、後に説明する容量絶縁膜の酸化性雰囲気での熱処理の際の酸素の侵入を阻止する作用を有する。

【0096】このように二酸化ルテニウム膜51からなる下部電極54を形成することにより、後に説明する容量絶縁膜の酸化性雰囲気における熱処理の際にも、下部電極54の表面の酸化により誘電率の低いたとえば酸化シリコンのような物質が形成されない。これにより、容量絶縁膜の実質的な膜厚の増加と誘電率の低下を抑えて、情報蓄積用容量素子の蓄積容量を大きくし、極めて微細な加工が要求される256Mbit以上のDRAMの情報蓄積用容量素子を形成することが可能となる。

【0097】また、前記したとおり、本実施の形態の下部電極54は、従来微細加工に対応するために採用せざるを得なかつたクラウン形状あるいはフィン形状等に比較して著しく単純な形態を有するものである。このため、下部電極54の製造工程を上記のとおり単純化することが可能である。この製造工程の単純化は、さらに微細な加工が要求される現状においては、プロセスマージンを向上することができ、結果としてDRAMの歩留まりおよび信頼性を向上できるというメリットを有する点で特に有意義である。

【0098】次に、フォトレジスト膜52を除去した後、図34に示すように、半導体基板1の全面に膜厚10nm程度の酸化タンタル膜55を堆積する。酸化タンタル膜55の堆積は、ペンタアルキルタンタル(Ta(C_nH_{2n+1})₅)、たとえばTa(C₂H₅)₅および酸素(O₂)を含むガスを原料ガスとし、500°C以下(たとえば450°C)の減圧状態(たとえば400mTorr)における熱CVD法により形成できる。このように、酸化タンタル膜55を熱CVD法により堆積することにより、ステップカバレッジに優れた酸化タンタル膜55とすることができます。なお、この段階では酸化タンタル膜55はアモルファス状態であり、誘電率は低い。また、上記のとおり有機タンタルガスを用いるため、酸化タンタル膜55には数%の炭素が含有される。この炭素の存在は、図41に示すような耐圧の低下をもたらし、多くの炭素が含有されることは好ましくない。そこで、Ta(C₂H₅)₅をTa(CH₃)₅に代え、あるいは反応温度をより低くすることが可能である。これにより、容量絶縁膜の耐圧を向上することが可能である。なお、図41は酸化タンタル膜55内に含まれる炭素濃度と耐圧との関係を示したグラフであり、本発明者らによる実験検討により得られたものである。耐圧は、リーク電流が10nA/cm²となる電圧をMV/cmの単位で示したものである。本データは酸化タンタル膜55が堆積された直後の状態、つまりアズデボ状態でのデータを示すものであるため、耐圧の絶対値は一般に要求される耐圧(たとえば4MV/cm)よりは低いが、後に説明するような熱処理により耐圧は上昇する。しかし、炭素濃度の増加により耐圧が低下する傾向は熱処理によっても維持される。

【0099】次に、酸化タンタル膜55に熱処理を施

し、多結晶の五酸化二タンタル(Ta₂O₅)膜56を形成する。酸化タンタル膜55の熱処理は、たとえば酸素雰囲気で保持した炉体中での750°C、10分間の熱処理(アニール)とすることができます。このような熱処理により非品質な酸化タンタル多結晶である五酸化二タンタル膜に固相成長する。なお、酸化タンタル膜55の熱処理は、酸素雰囲気における800°C、3分間の熱処理とすることもできる。750°C、10分間の熱処理では、本工程の前に形成した選択MISFET等のデバイスへの影響を最小限に抑えることができ、一方、800°C、3分間の熱処理では、五酸化二タンタル膜56を構成する各結晶の粒径を小さくして、粒径の均一な五酸化二タンタル膜56を形成することができるというメリットがある。

【0100】このように多結晶の五酸化二タンタル膜56は後に容量絶縁膜となるものであるが、容量絶縁膜として多結晶の五酸化二タンタルを用いることによりその誘電率を大きくして情報蓄積用容量素子の蓄積容量を大きくすることができる。従来酸化タンタル膜として酸化性雰囲気で熱処理を行ない酸素改質処理を施したもののが知られているが、このような酸化タンタル膜は比誘電率が20~25であり、シリコン酸化膜に換算したいわゆる換算膜厚で表現して2.5nm以上のものである。一方、本実施の形態の五酸化二タンタル膜56は比誘電率が40~50であり、換算膜厚で表現して1nm程度のものとなる。

【0101】また、本工程は酸素雰囲気、すなわち酸化性雰囲気で行われるものであるが、下部電極54の材料として二酸化ルテニウムが用いられているため、熱処理の工程中に酸素が酸化タンタル膜55を通過して下部電極54の表面に到達しても、酸化シリコン膜のような低誘電率の絶縁体は形成されない。この結果、容量絶縁膜の実質的な膜厚は増加せず、また、容量絶縁膜の誘電率を高く維持することができる。

【0102】さらに、前記したとおり、窒化チタン膜からなるブロッキング層53が形成されているため、本熱処理工程において酸素が酸化タンタル膜55および下部電極54を通過してプラグ49に達することではなく、また、下部電極54を構成する二酸化ルテニウム中の酸素とプラグ49を構成するシリコンとが反応して絶縁体であるシリコン酸化膜が形成されることがない。この結果、プラグ49と下部電極54との接続抵抗を低減して情報蓄積用容量素子の性能を向上するとともに、プラグ49と下部電極54との電気的な接続の信頼性を向上することができる。

【0103】次に、五酸化二タンタル膜56上に窒化チタン膜を堆積し、図35に示すように前記窒化チタン膜上にフォトレジスト膜57を形成し、このフォトレジスト膜57をマスクとして前記窒化チタン膜および五酸化二タンタル膜56をエッティングして容量絶縁膜58およ

び上部電極59を形成する。窒化チタン膜の堆積にはたとえばCVD法を用いることができる。このようにして二酸化ルテニウムからなる下部電極54、多結晶の五酸化二タンタルからなる容量絶縁膜58および窒化チタンからなる上部電極59で構成される情報蓄積用容量素子Cを形成する。これにより、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積用容量素子Cとで構成されるDRAMのメモリセルが完成する。

【0104】次に、フォトレジスト膜57を除去した後、図36に示すように、情報蓄積用容量素子Cの上部に膜厚40nm程度の酸化シリコン膜60を堆積する。酸化シリコン膜60は、例えはオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。さらにSOG膜61を塗布してメモリセルの形成された領域を平坦化すると同時に、周辺回路領域との段差を緩和する。本実施の形態のDRAMでは、容量絶縁膜58に誘電率の高い多結晶五酸化二タンタルを用いるため、下部電極54の高さを特に高く形成する必要はない。このため、SOG膜61のみでメモリセル領域と周辺回路領域との段差を緩和することが可能である。この結果、前記段差を解消するための複雑な工程を採用することなく、プロセスを単純化することができる。

【0105】次に、図37に示すように、フォトレジスト膜をマスクにしたドライエッチングで周辺回路の第1層配線38の上部のSOG膜61、酸化シリコン膜60、53、酸化シリコン膜46、酸化シリコン膜45、SOG膜44および窒化シリコン膜40を除去することにより、スルーホール62を形成する。また、同様に上部電極59の上部のSOG膜61、酸化シリコン膜60を除去することにより、スルーホール63を形成する。その後、スルーホール62、63の内部にプラグ64を形成し、続いてSOG膜61の上部に第2層配線65を形成する。プラグ64は、SOG膜61の上部にスパッタリング法で膜厚100nm程度のTiN膜を堆積し、さらにその上部にCVD法で膜厚500nm程度のW膜を堆積した後、これらの膜をエッチバックしてスルーホール62、63の内部に残すことにより形成する。第2層配線65は、SOG膜61の上部にスパッタリング法で膜厚50nm程度のTiN膜、膜厚500nm程度のAl(アルミニウム)膜、膜厚50nm程度のTi膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターニングして形成する。

【0106】その後、層間絶縁膜を介して第3層配線を形成し、その上部に酸化シリコン膜と窒化シリコン膜とで構成されたバッジベーション膜を堆積するが、その図示は省略する。以上の工程により、本実施の形態のDRAMが略完成する。

【0107】なお、第3層配線およびそれに接続するプラグは第2層配線の場合と同様に形成することができ、

層間絶縁膜は、例えは膜厚300nm程度の酸化シリコン膜、膜厚400nm程度のSOG膜および膜厚300nm程度の酸化シリコン膜で構成できる。酸化シリコン膜は、例えはオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積できる。

【0108】本実施の形態によれば、下部電極54を二酸化ルテニウムで、容量絶縁膜58を多結晶の五酸化二タンタルで構成することにより、情報蓄積用容量素子Cの蓄積容量を増し、256Mbit以降のDRAMを容易な工程により製造することが可能となる。なお、本実施の形態により製造される容量絶縁膜58を構成する多結晶五酸化二タンタル膜の膜厚とシリコン酸化膜の換算膜厚との関係を図39に示す。また、下部電極54の高さが0.5μmの場合であって、蓄積容量(Cs)が25fFを満足する条件の五酸化二タンタル膜厚とセル面積の関係を図40に示す。図40中に示したように、上記条件の下では256MbitDRAMに要求されるシリコン酸化膜換算膜厚は約1.15nmであり、1GbbitDRAMに要求されるシリコン酸化膜換算膜厚は約0.85nmである。本実施の形態の多結晶五酸化二タンタル膜からなる容量絶縁膜58を用いれば、その膜厚は各々12nm、8nmであり、256Mbit以降のDRAMに十分対応できることがわかる。なお、下部電極54の高さの調整あるいは要求される蓄積容量の最適化により容量絶縁膜58の膜厚は15nm程度まで厚くすることは可能であり、一方、容量絶縁膜58の膜厚は絶縁耐力の要求から5nm程度までは薄くすることが可能である。

【0109】なお、上記実施の形態では、下部電極54を構成する二酸化ルテニウム膜51の堆積を二酸化ルテニウムをターゲットするスパッタ法により行う方法を例示したが、ルテニウム金属をターゲットとし、酸素を含む反応性スパッタ法により二酸化ルテニウム膜を堆積する方法により二酸化ルテニウム膜51を形成しても良い。この場合であっても、前記実施の形態と同様に平坦な表面の二酸化ルテニウム膜51を形成することが可能である。

【0110】また、二酸化ルテニウム膜51はCVD法により堆積しても良い。このCVD法は、有機ルテニウムガスと酸素とを含むガスを原料ガスとしたCVD法を例示できる。有機ルテニウムガスとしてはトリスジビバロイルメタナートルテニウム(Ru((CH₃)₃CCOCHCO₂(CH₃)₃)₃)を例示できる。その他の条件は、たとえば、反応温度を600°C、反応圧力を10Torr、酸素流量を1s1m、アルゴン流量を0.3s1mとことができる。

【0111】また、上記実施の形態では、上部電極59として窒化チタン膜の場合を例示したが、ルテニウム、酸化ルテニウム、タンクスチタン、窒化タンクスチタンから

なる膜であっても良い。この場合、ルテニウムあるいはタングステンは、タンタルよりも酸化され難く、よって容量絶縁膜58を構成する五酸化二タンタル膜から酸素を引き抜くことが少ない。これに対してチタンはタンタルよりも酸化され易く、容量絶縁膜58を構成する五酸化二タンタル膜から酸素を引き抜く確率が高くなる。すなわち、熱的には窒化チタン膜を五酸化二タンタル膜に接して形成するよりも、ルテニウム、酸化ルテニウム、タングステンまたは窒化タングステンからなる被膜を五酸化二タンタル膜に接して形成する方が安定となる。しかしながら、上部電極59は微細に加工された下部電極54上に形成するものであり、CVD法で形成できる窒化チタン膜を用いる方がステップカバレッジの点から有利である。さらに、窒化チタン膜をCVD法で形成する場合には成膜条件、たとえば成膜温度を調整することにより堆積被膜の内部応力を調整することが可能であり、CVD法で形成できる窒化チタン膜により上部電極59のストレスを低減して容量絶縁膜58にかかる応力を低減し、リーク電流を少なくできる可能性がある。そこで、五酸化二タンタル膜からなる容量絶縁膜58に接して形成されるルテニウム、酸化ルテニウム、タングステンまたは窒化タングステンからなる被膜を第一層とし、CVD法で形成される窒化チタン膜を第二層とする積層膜からなる上部電極59とすることも可能である。このような上部電極59により、熱的に安定であり、かつ、複雑な下地形状に対してもステップカバレッジよく形成される上部電極59とことができる。さらに、上部電極59による応力を緩和して容量絶縁膜58にかかるストレスを低減し、情報蓄積用容量素子Cのリーク電流を低減してその性能を向上し、また、その信頼性を向上することができる。

【0112】(実施の形態2) 図42～図45は、本発明の他の実施の形態であるDRAMの製造方法をその工程順に示した断面図である。

【0113】本実施の形態のDRAMは、実施の形態1のDRAMとほぼ同様な構成を有するものであり、多結晶シリコン膜からなるプラグ49に代えて酸化ルテニウムからなるプラグ66を有するものである。したがって、それ以外の実施の形態1と同様な構成については説明を省略する。

【0114】本実施の形態2のDRAMは、以下の工程により製造される。本実施の形態2の製造工程は実施の形態1における図30までの工程については同様である。

【0115】実施の形態1の図30におけるスルーホール48の形成の後、図42に示すように、スルーホール48の内部に酸化ルテニウムからなるプラグ66を形成する。プラグ66は、酸化ルテニウムを出発材料とするスパッタ法により酸化ルテニウム膜を堆積したのち、これをエッチバックしてスルーホール48内に酸化ルテニ

ウムを残すことにより形成する。

【0116】なお、酸化ルテニウム膜の堆積前にブロッキング層として窒化チタン膜を堆積しても良い。

【0117】次に、図43に示すように、プラグ66が形成された酸化シリコン膜46の上部に二酸化ルテニウム(RuO_2)膜67を堆積する。二酸化ルテニウム膜67は実施の形態1の二酸化ルテニウム膜51と同様に堆積することができる。

【0118】なお、プラグ66が酸化ルテニウムで構成されているため、ブロッキング層を形成する必要がない。

【0119】次に、実施の形態1と同様に、図44に示すようにフォトレジスト膜52を形成し、このフォトレジスト膜52をマスクとして二酸化ルテニウム膜67をたとえばRIE(Reactive Ion Etching)法を用いてエッチングし、除去する。このようにして二酸化ルテニウム膜67からなる下部電極68を形成する。

【0120】次に、実施の形態1と同様に、フォトレジスト膜52を除去した後、図45に示すように、半導体基板1の全面に膜厚10nm程度の酸化タンタル膜55を堆積する。また、酸化タンタル膜55を熱処理して多結晶の五酸化二タンタル膜56を形成する。

【0121】この後の工程は実施の形態1と同様であるため説明を省略する。

【0122】本実施の形態2によれば、プラグ66が酸化ルテニウムからなるため、プラグ66と下部電極68との界面にブロッキング層を形成する必要がなく、接続抵抗の低い情報蓄積用容量素子Cとし、また、その信頼性を向上できる。

【0123】(実施の形態3) 図46および図47は、本発明のさらに他の実施の形態であるDRAMの製造工程を示した断面図である。

【0124】本実施の形態3のDRAMは、情報蓄積用容量素子Cを構成する容量絶縁膜69が下層絶縁膜69aと上層絶縁膜69bとの2層構成となっているものである。その他の構成については実施の形態1と同様であるため、説明を省略する。

【0125】本実施の形態3のDRAMの製造工程は、実施の形態1における図30の工程までについては同様である。

【0126】下部電極54を形成した後、図46に示すように、まず下層絶縁膜69aを形成する。その後、上層絶縁膜69bを形成する。下層絶縁膜69aの形成は、実施の形態1における五酸化二タンタル膜56の形成と同様である。すなわち、まずアモルファスの酸化タンタル膜をCVD法により堆積し、これを酸素雰囲気にて熱処理して多結晶化する。

【0127】その後の上層絶縁膜69bの形成は、多結晶化された五酸化二タンタルからなる下層絶縁膜69a上に、下層絶縁膜69aの形成と同様にアモルファスの

酸化タンタル膜をCVD法により堆積し、これを酸素雰囲気にて熱処理して多結晶化し、多結晶化された五酸化二タンタルからなる上層絶縁膜69bを形成する。

【0128】このようにして形成された2層構造の容量絶縁膜69は、図47に示すように、その粒界70が下層絶縁膜69aと上層絶縁膜69bの双方に形成されるが、下層絶縁膜69aの粒界70と上層絶縁膜69bの粒界70とは相違した位置に形成される。

【0129】なお、この後の工程は実施の形態1と同様であるため説明を省略する。

【0130】このような容量絶縁膜69によれば、情報蓄積用容量素子Cのリーク電流を低減することができる。一般に多結晶膜の絶縁耐圧はその粒界部分で最も弱くなり、多結晶化五酸化二タンタル膜においてもこれを容量絶縁膜に用いた場合には粒界部分でリーク電流が発生すると考えられるが、本実施の形態3では、粒界70が膜厚方向に貫通して形成されることがなく、下層絶縁膜69aの粒界70によりリーク電流が発生したとしても上層絶縁膜69bでこれを阻止し、また、上層絶縁膜69bの粒界70によりリーク電流が発生したとしても下層絶縁膜69aでこれを阻止することができる。

【0131】なお、容量絶縁膜69の膜厚は、下層絶縁膜69aと上層絶縁膜69bとを合わせて5nm～15nmとすることができる。

【0132】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0133】たとえば、上部電極59の材料としては上記した材料に限られず、多結晶シリコン膜であってもよい。また、チタン、タンクスチル、ルテニウム以外の高融点金属、たとえば、タンタル、ニオブ、モリブデン、クロム、イリジウム、ニッケル、パラジウム、白金等を用いることができる。また、それが導電体である限り、前記した金属の酸化物、窒化物であってもよい。

【0134】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0135】(1) 256Mb i t DRAM以降のメモリセルのキャパシタの蓄積容量を確保できる。

【0136】(2) 情報蓄積用容量素子の容量絶縁膜に酸化タンタル膜を用い、酸素雰囲気における熱処理を施しても実効的な容量絶縁膜の誘電率の低下および膜厚の増加を来すことがない技術を提供できる。

【0137】(3) 情報蓄積用容量素子の下部電極表面を平坦化でき、情報蓄積用容量素子の信頼性を向上できる。

【0138】(4) 下部電極の形状を単純化でき、その

形成工程の簡略化できる。

【0139】(5) 情報蓄積用容量素子の容量絶縁膜の絶縁性を向上し、リーク電流の低減を図ることができる。また、情報蓄積用容量素子の性能と信頼性を向上できる。

【0140】(6) 情報蓄積用容量素子の上部電極の材料を最適化でき、信頼性の高い情報蓄積用容量素子を提供できる。

【0141】(7) 情報蓄積用容量素子の蓄積電荷量を増加し、DRAMのリフレッシュマージンを増加して半導体集積回路装置の低電圧化、低電力化を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるDRAMを形成した半導体チップの全体平面図である。

【図2】本発明の一実施の形態であるDRAMの等価回路図である。

【図3】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図4】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図5】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図6】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図7】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図8】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図9】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図10】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図11】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図12】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図13】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図14】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図15】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図16】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図17】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図18】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図19】本発明の一実施の形態であるDRAMの製造

工程の一例を工程順に示した断面図である。

【図20】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図21】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図22】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図23】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図24】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図25】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図26】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図27】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図28】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図29】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図30】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図31】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図32】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図33】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図34】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図35】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図36】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図37】本発明の一実施の形態であるDRAMの製造工程の一例を工程順に示した断面図である。

【図38】本発明者らの実験検討により得られた二酸化ルテニウム膜の表面状態を示した電子顕微鏡写真であり、(a)は、ルテニウム金属膜を堆積した後に酸化処理を行って得られた二酸化ルテニウム膜の表面を示し、(b)は、本発明の一実施の形態である製造方法を用いて形成した二酸化ルテニウム膜の表面を示す。

【図39】多結晶五酸化二タンタル膜の膜厚とシリコン酸化膜の換算膜厚との関係を示したグラフである。

【図40】五酸化二タンタル膜厚とセル面積の関係を示したグラフである。

【図41】酸化タンタル膜内に含まれる炭素濃度と耐圧との関係を示したグラフである。

【図42】本発明の他の実施の形態であるDRAMの製

造方法をその工程順に示した断面図である。

【図43】本発明の他の実施の形態であるDRAMの製造方法をその工程順に示した断面図である。

【図44】本発明の他の実施の形態であるDRAMの製造方法をその工程順に示した断面図である。

【図45】本発明の他の実施の形態であるDRAMの製造方法をその工程順に示した断面図である。

【図46】本発明のさらに他の実施の形態であるDRAMの製造工程を示した断面図である。

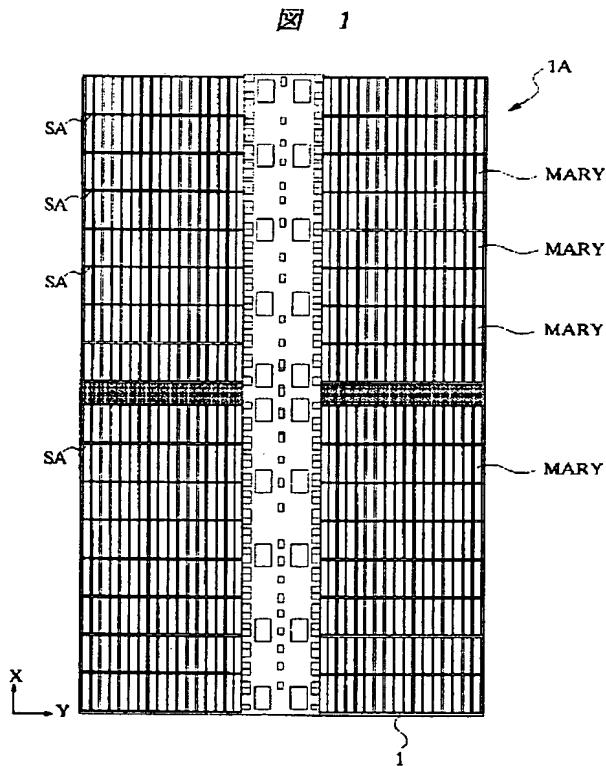
【図47】本発明のさらに他の実施の形態であるDRAMの製造工程を示した断面図である。

【符号の説明】

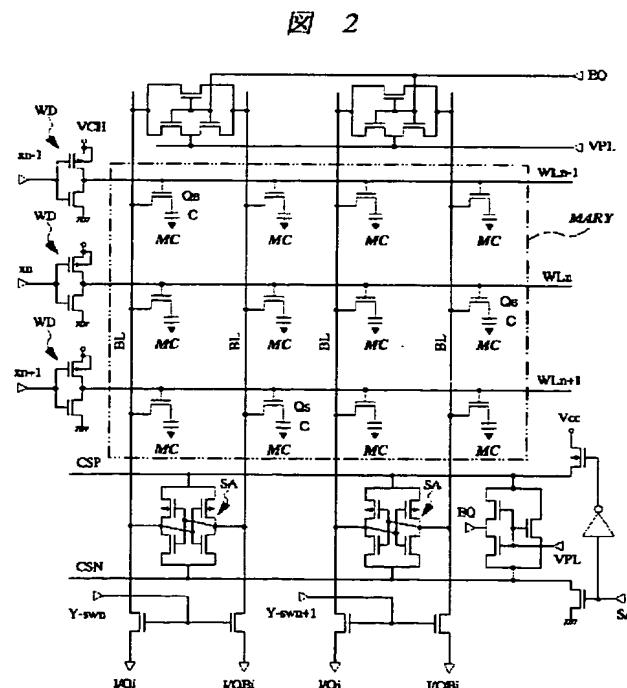
- 1 半導体基板
- 1A 半導体チップ
- 2 酸化シリコン膜
- 3 窒化シリコン膜
- 4 フォトレジスト膜
- 5 素子分離溝
- 5a 溝
- 6 酸化シリコン膜
- 7 酸化シリコン膜
- 8 窒化シリコン膜
- 9 フォトレジスト膜
- 10 n型半導体領域
- 11 p型ウエル
- 12 n型ウエル
- 13 ゲート酸化膜
- 14 ゲート電極
- 14A ゲート電極
- 14B ゲート電極
- 14C ゲート電極
- 15 窒化シリコン膜
- 16 フォトレジスト膜
- 17 n⁻型半導体領域
- 18 n⁻型半導体領域
- 19 n型半導体領域
- 20 窒化シリコン膜
- 20a サイドウォールスペーサ
- 21 フォトレジスト膜
- 22 p⁺型半導体領域
- 23 n⁺型半導体領域
- 24 SOG膜
- 25 酸化シリコン膜
- 26 酸化シリコン膜
- 27 フォトレジスト膜
- 28 コンタクトホール
- 29 コンタクトホール
- 30 プラグ
- 31 酸化シリコン膜
- 32 フォトレジスト膜

33	フォトレジスト膜	59	上部電極
34	コンタクトホール	60	酸化シリコン膜
36	コンタクトホール	61	SOG膜
38	第1層配線	62	スルーホール
40	塗化シリコン膜	63	スルーホール
41	フォトレジスト膜	64	プラグ
42	TiSi ₂ 層	65	第2層配線
43	サイドウォールスペーサ	66	プラグ
44	SOG膜	67	二酸化ルテニウム膜
45	酸化シリコン膜	68	下部電極
46	酸化シリコン膜	69	容量絶縁膜
47	フォトレジスト膜	69a	下層絶縁膜
48	スルーホール	69b	上層絶縁膜
49	プラグ	70	粒界
50	塗化チタン膜	BL	ビット線
51	二酸化ルテニウム膜	C	情報蓄積用容量素子
52	フォトレジスト膜	MARY	メモリアレイ
53	ブロッキング層	Qn	nチャネル型MISFET
54	下部電極	QP	pチャネル型MISFET
55	酸化タンタル膜	Qs	メモセル選択用MISFET
56	五酸化二タンタル膜	SA	センスアンプ
57	フォトレジスト膜	WD	ワードドライバ
58	容量絶縁膜	WL	ワード線

【図1】

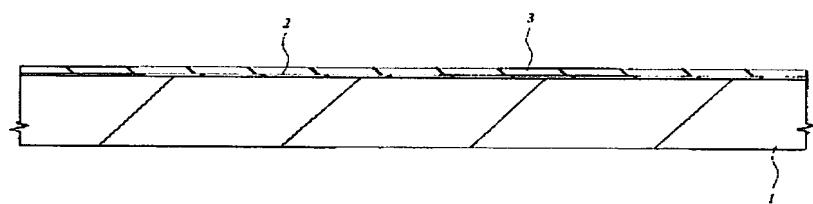


【図2】



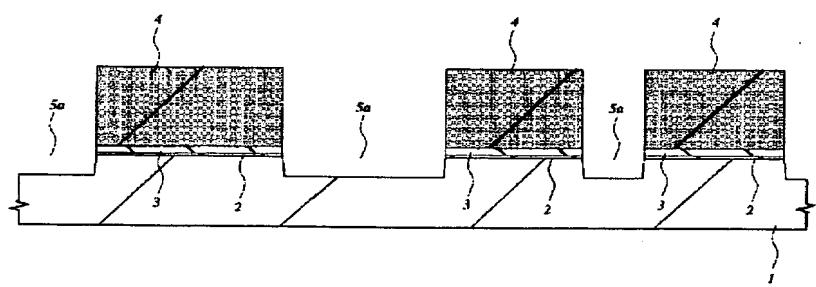
【図3】

図 3



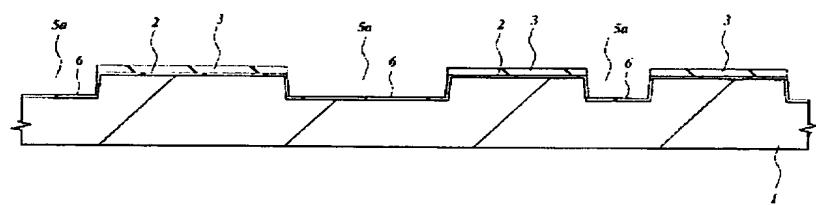
【図4】

図 4



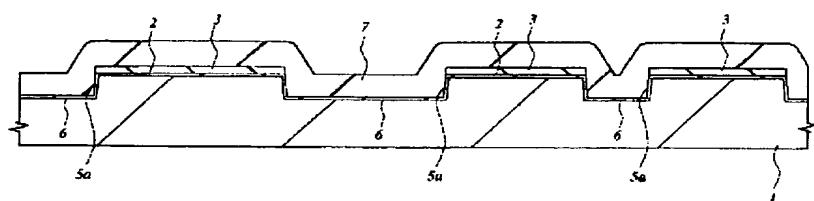
【図5】

図 5



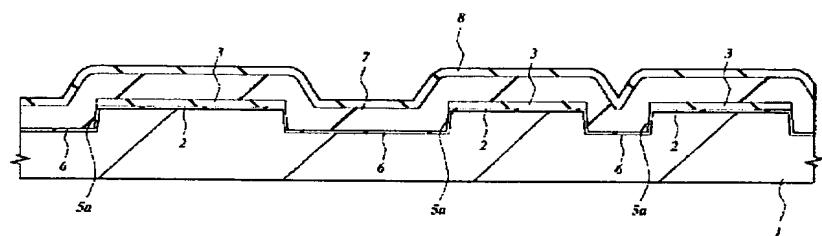
【図6】

図 6



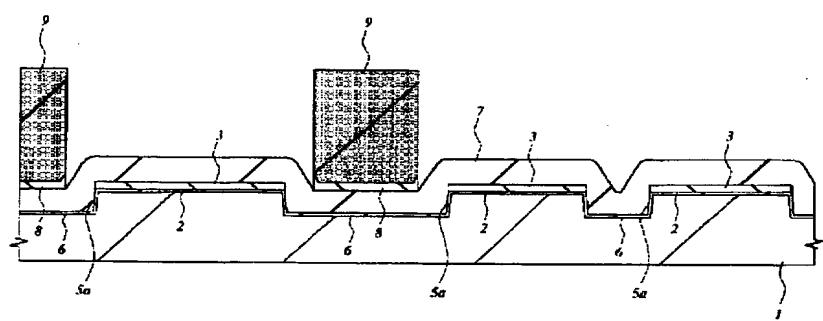
【図7】

図 7



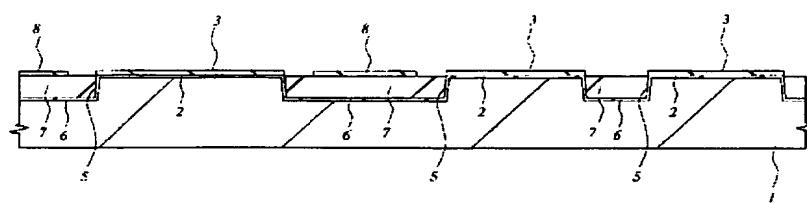
【図8】

図 8



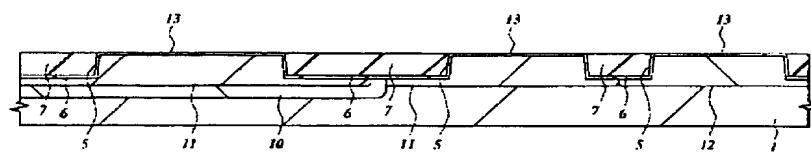
【図9】

図 9



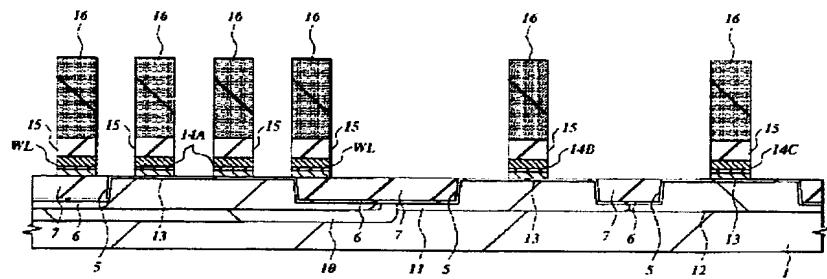
【図10】

図 10



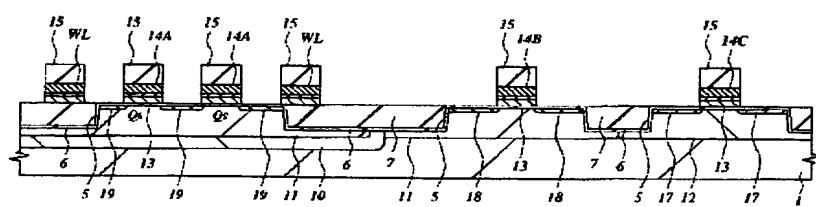
【図11】

図 11



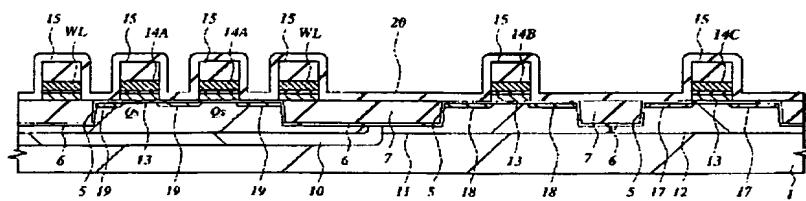
【図12】

図 12



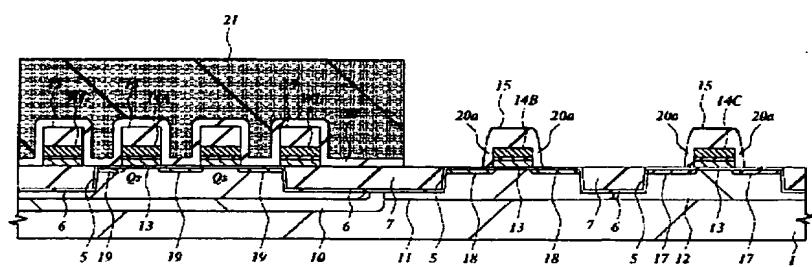
【图13】

图 13



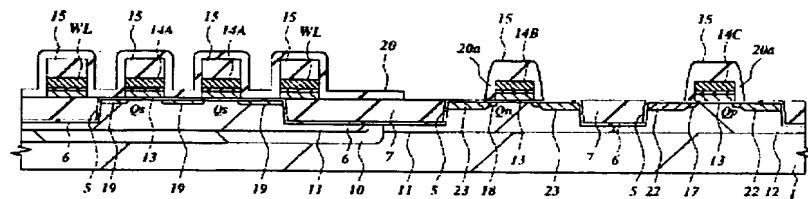
【图14】

图 14



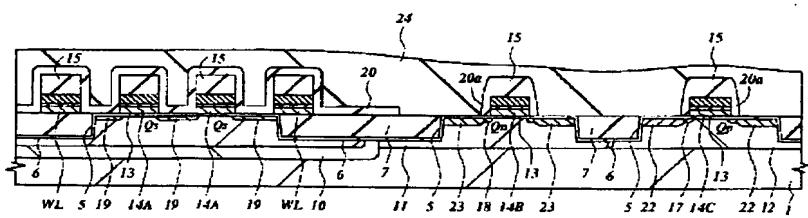
【图15】

图 15



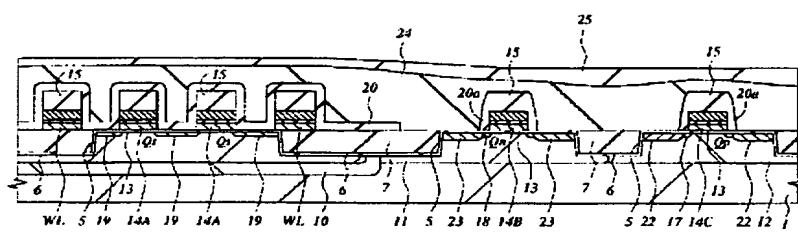
【图16】

16



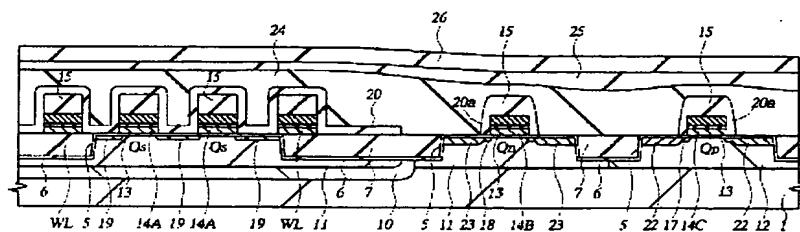
【図17】

図 17



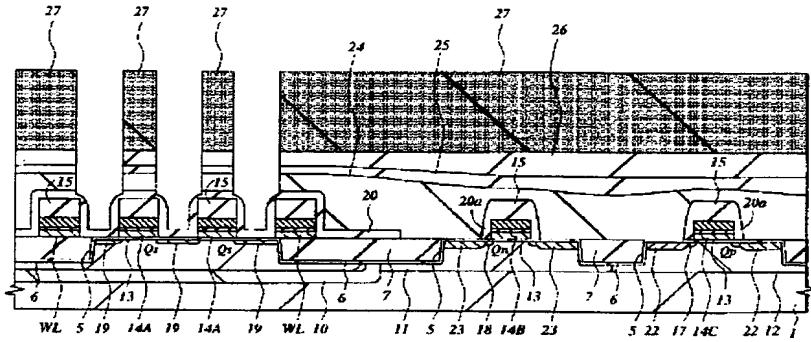
【図18】

図 18



【图19】

图 19

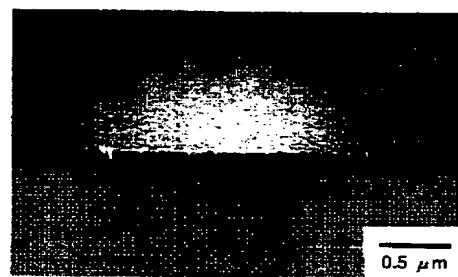


【四三八】

38

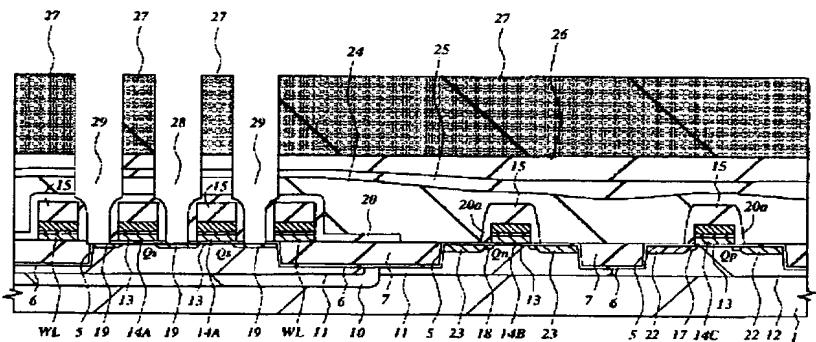


(b)



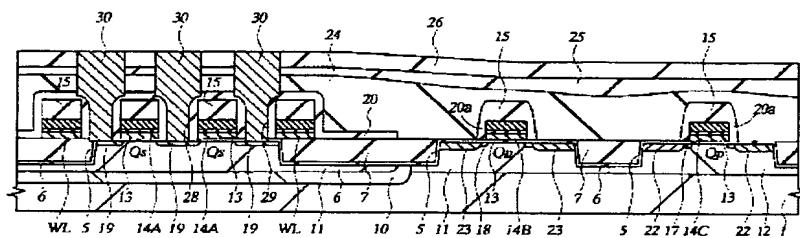
【 20】

图 20



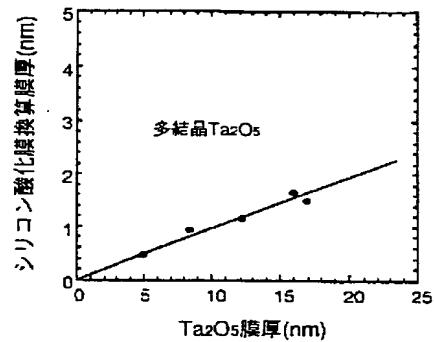
【図21】

図 21



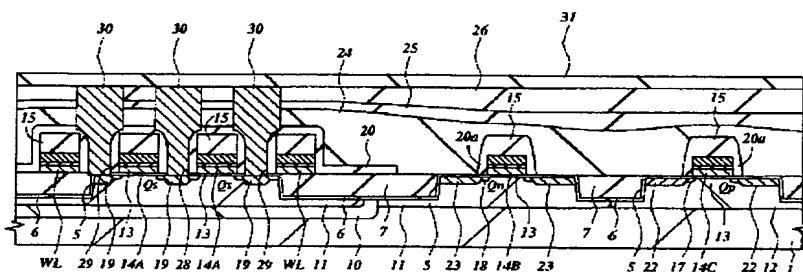
【図39】

図 39



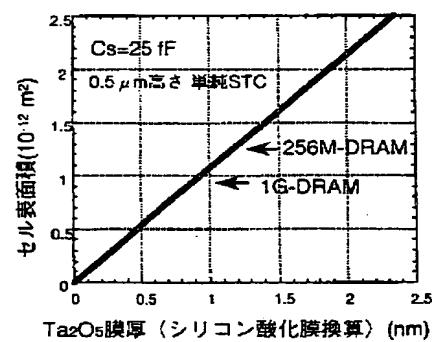
【図22】

図 22



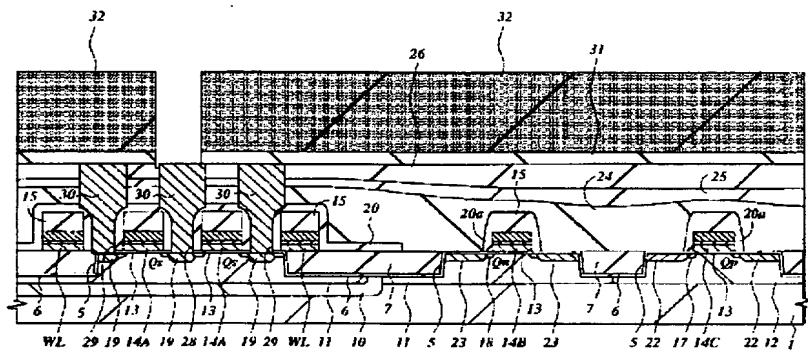
【図40】

図 40



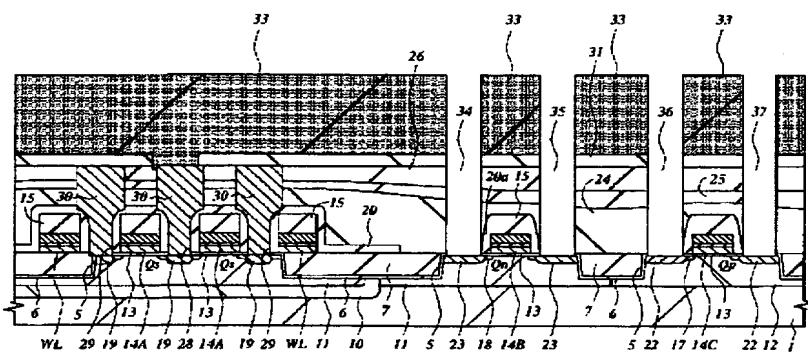
【四23】

图 23



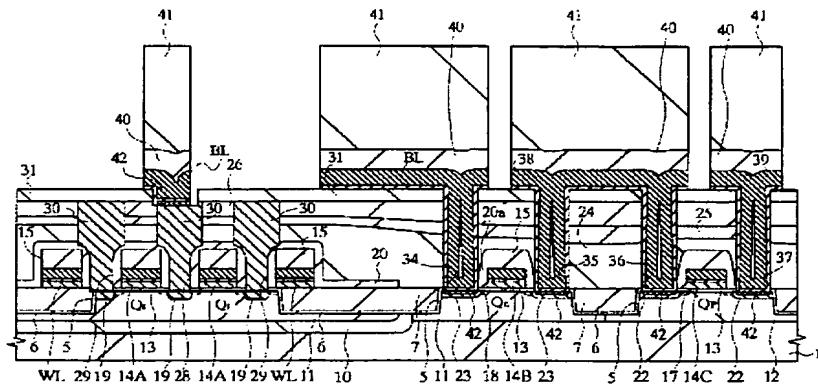
【图24】

图 24



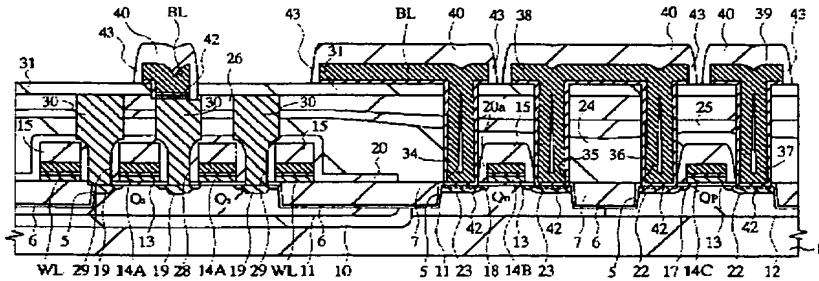
【図25】

図 25



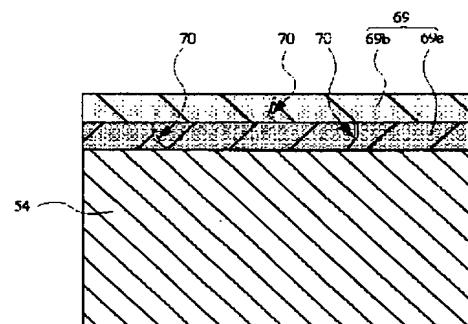
【図26】

図 26



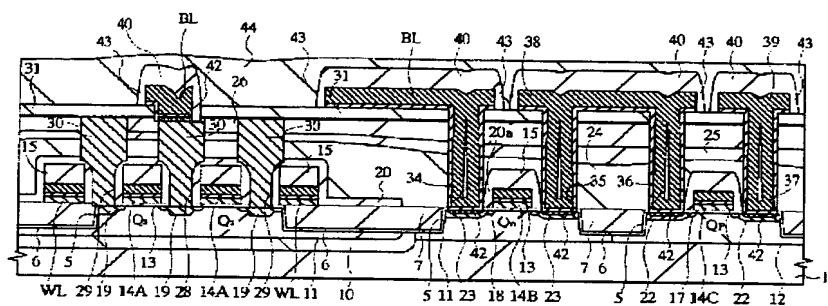
【図47】

図 47



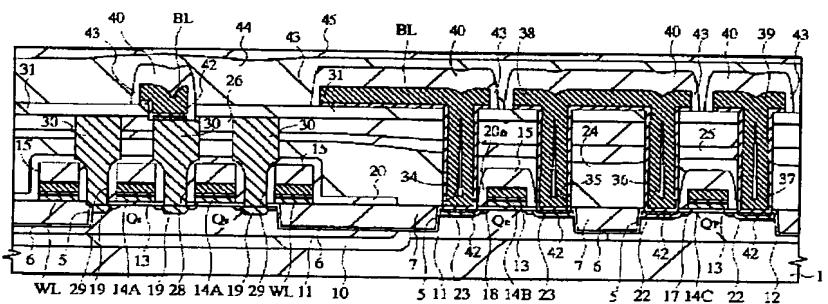
【図27】

図 27



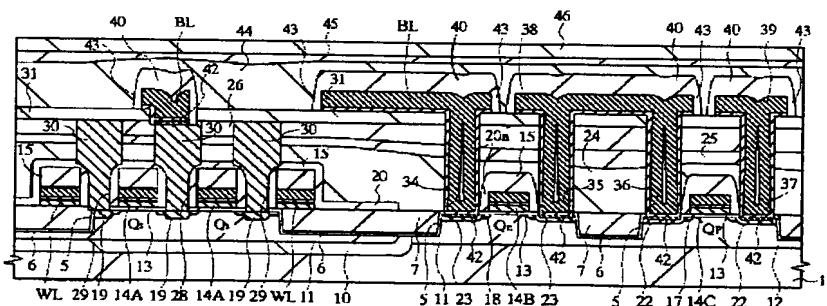
【図28】

図 28



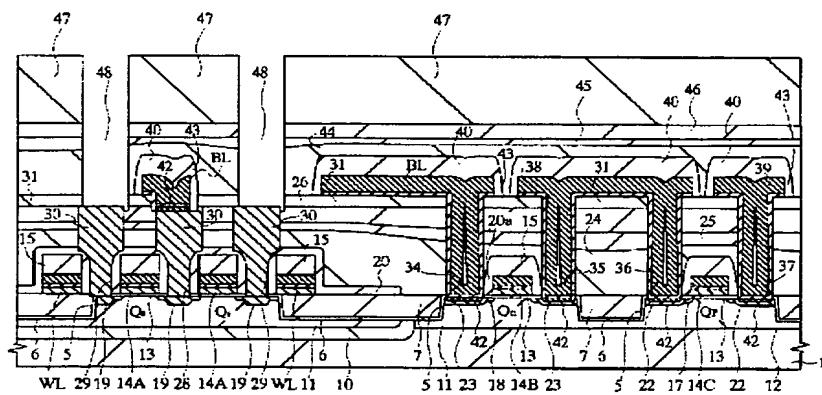
【図29】

図 29



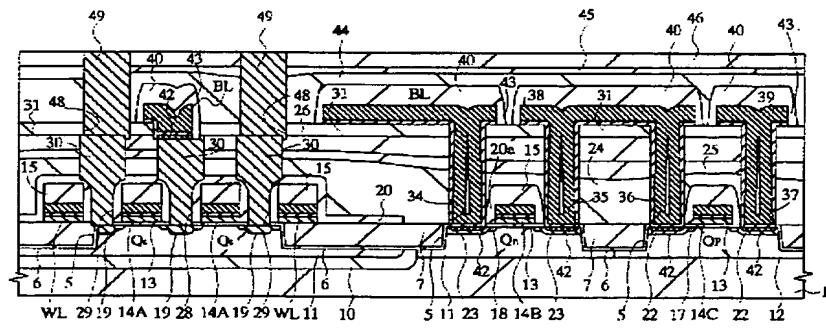
【图30】

図 30



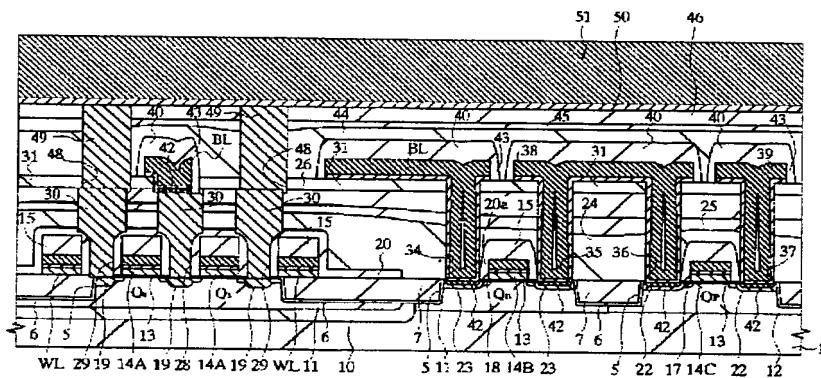
【图31】

图 31



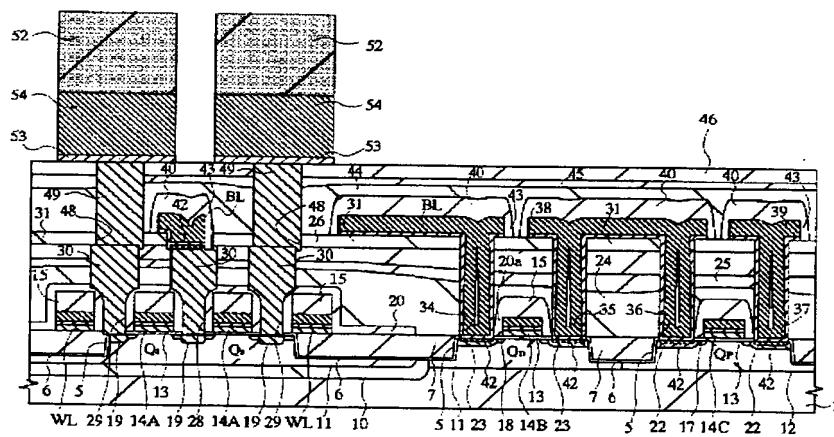
【图32】

32



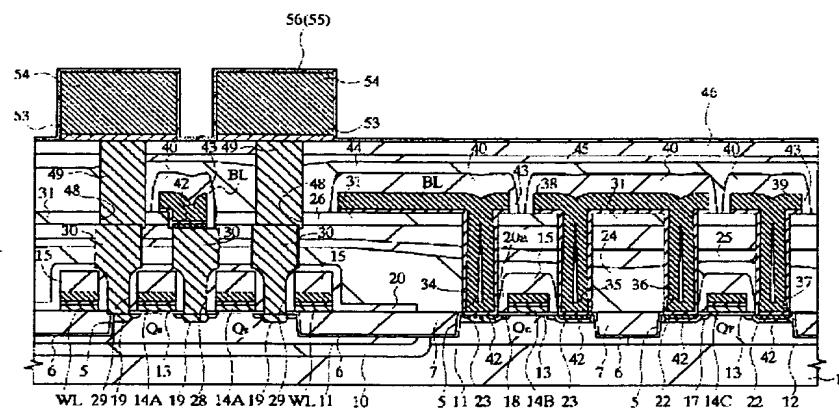
〔四三三〕

四 33



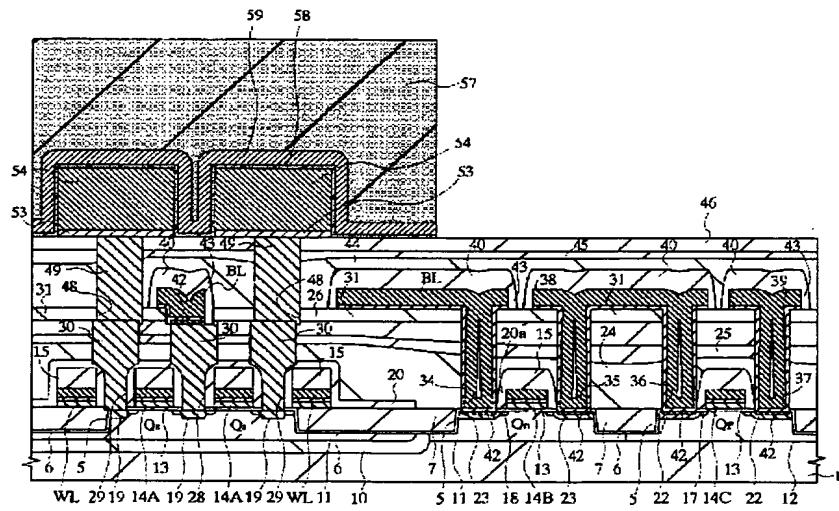
【图34】

图 34



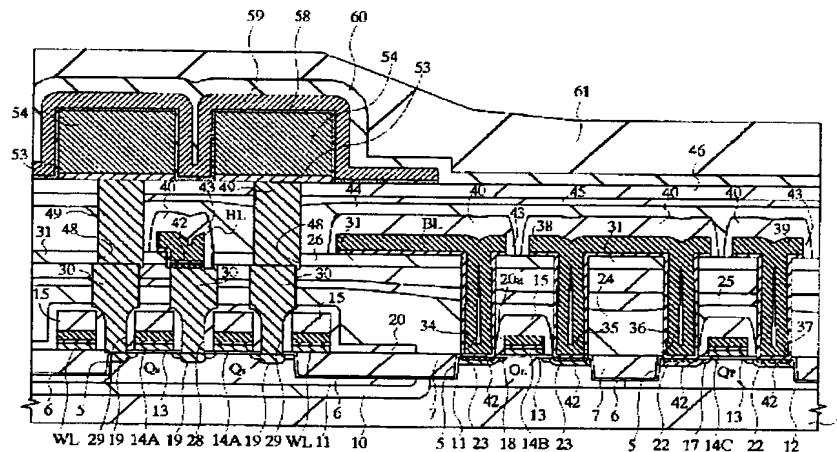
【图35】

☒ 35



【図36】

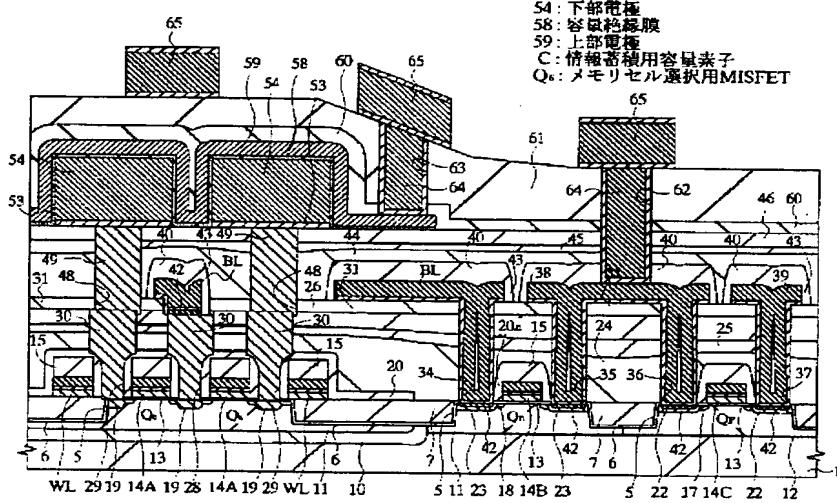
図 36



【図37】

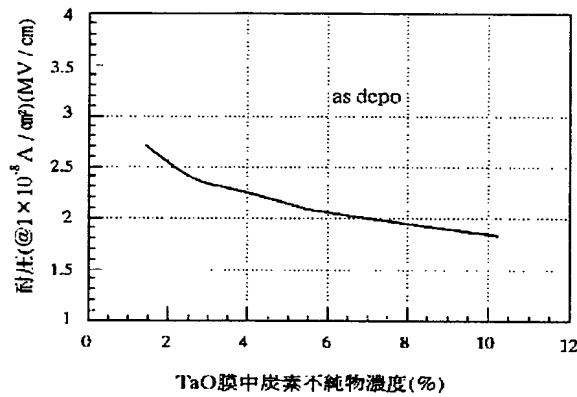
図 37

1: 半導体基板
 54: 下部電極
 58: 容量絶縁膜
 59: 上部電極
 C: 情報蓄積用容量素子
 Q₁: メモリセル選択用MISFET



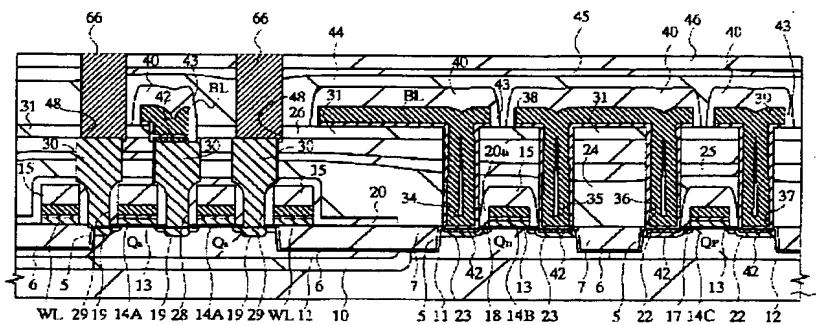
【图4-1】

图 41



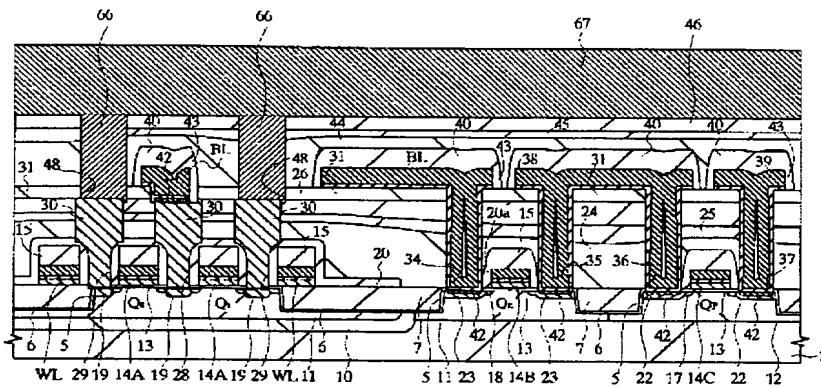
【图4-2】

☒ 42



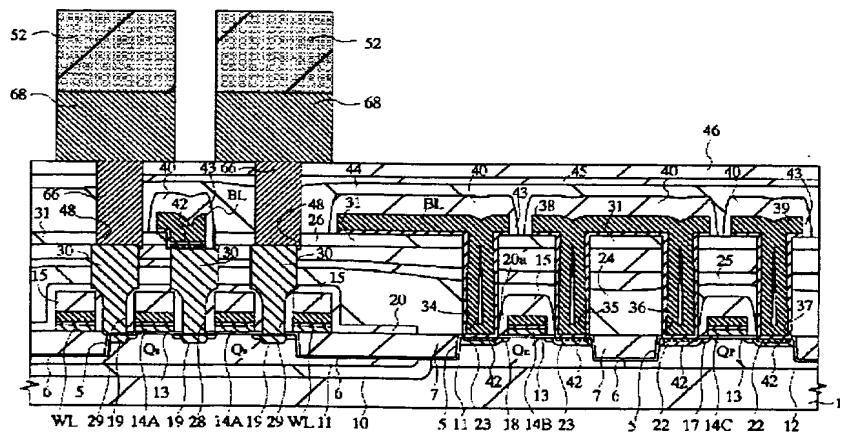
【图43】

43



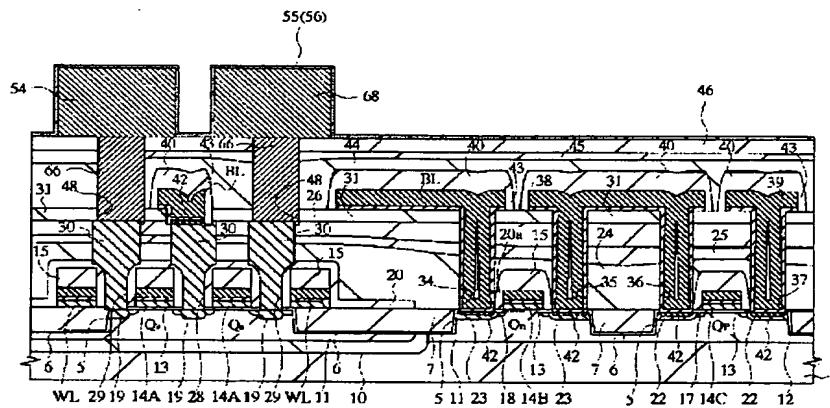
【图4-4】

☒ 44



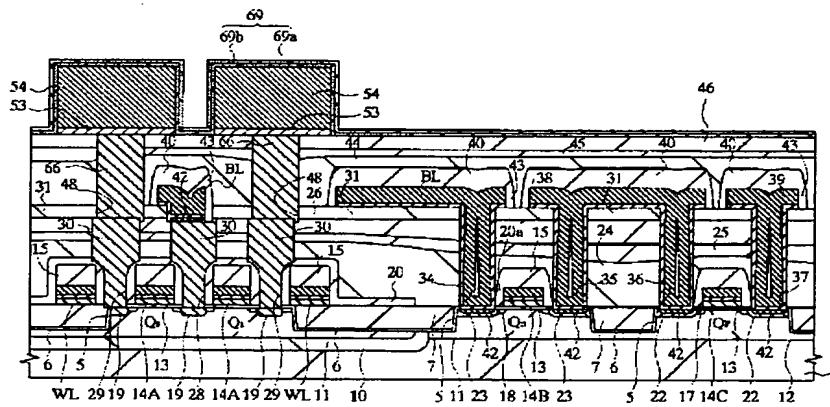
【图45】

图 45



【图46】

46



フロントページの続き

(72) 発明者 飯島 晋平
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72) 発明者 菅原 安浩
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 金井 美鈴
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)